

Docket No.: 49657-871

*#2*  
*D. Dajoo*  
*6-28-01*  
**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Masahiko TAKEUCHI, et al.

Serial No.:

Group Art Unit:

Filed: November 30, 2000

Examiner:

For: PHOTOMASK INCLUDING AUXILIARY MARK AREA, SEMICONDUCTOR  
DEVICE AND MANUFACTURING METHOD THEREOF

Jc914 U.S. PTO  
09/725853  
11/30/00

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-160017,  
filed May 30, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

*Gene Z. Rubinson*  
Gene Z. Rubinson  
Registration No. 33,351

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 GZR:dtb  
**Date: November 30, 2000**  
Facsimile: (202) 756-8087

49657-871

Takewchi, et al.

日本国特許庁 November 30, 2000

PATENT OFFICE  
JAPANESE GOVERNMENT

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 5月30日

出願番号

Application Number:

特願2000-160017

出願人

Applicant(s):

三菱電機株式会社

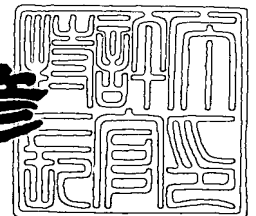
10914 U.S. PTO  
09/725853

11/30/00

2000年 6月23日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3047281

【書類名】 特許願

【整理番号】 523771JP01

【提出日】 平成12年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/68

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 竹内 雅彦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 成松 孝一郎

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 上野 敦史

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、フォトマスクおよび半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された素子形成領域と、この素子形成領域を囲むように配置されたダイシングライン領域とを備える半導体装置であって、

前記ダイシングライン領域では、異なるショットで形成された第 1 および第 2 の重ね合せ検査マークが形成され、

前記第 1 および第 2 の重ね合せ検査マークは、第 1 および第 2 の重ね合せ検査マークを識別するための補助マークを含む、半導体装置。

【請求項 2】 半導体基板の表面を複数の領域に分割し、それぞれの領域について写真製版加工を行なうことにより製造される半導体装置であって、前記領域は、最外周部に前記第 1 または第 2 の重ね合せ検査マークのいずれかを備え、

前記補助マークは、前記第 1 および第 2 の重ね合せ検査マークのそれぞれについて前記領域における相対的な位置を表示する領域内位置表示マークである、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 または第 2 の重ね合せ検査マークは、前記領域の四隅の少なくともいずれかに形成されている、請求項 2 に記載の半導体装置。

【請求項 4】 前記補助マークは平面形状が矢印状である、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 半導体基板上に形成された素子形成領域と、この素子形成領域を囲むように配置されたダイシングライン領域とを備える半導体装置であって、

前記ダイシングライン領域には検査用素子領域が形成され、

前記検査用素子領域は、前記検査用素子領域に含まれる電極の種類を識別するための識別マーク、前記検査用素子領域に配置された層間絶縁膜に形成されたコンタクトホールを示す位置表示マーク、前記検査用素子領域に配置され間隔を隔てて並列に並んだ複数の線状パターンからなるピッチ補正用マークおよび前記検査用素子領域に配置されプロセス条件を示す条件表示マークからなる群か

ら選択される少なくとも1つを含む、半導体装置。

【請求項6】 前記識別マークは前記電極上に形成される、請求項5に記載の半導体装置。

【請求項7】 前記識別マークの平面形状は文字を形成し、前記文字を構成する線の幅が $10\mu\text{m}$ 以下である、請求項5または6に記載の半導体装置。

【請求項8】 前記識別マークの幅は $30\mu\text{m}$ 以上である、請求項5～7のいずれか1項に記載の半導体装置。

【請求項9】 前記位置表示マークは、前記層間絶縁膜に形成された開口部である、請求項5に記載の半導体装置。

【請求項10】 前記開口部の平面形状は、前記コンタクトホールの方向を示す矢印状である、請求項9に記載の半導体装置。

【請求項11】 前記検査用素子領域は、ダイシングライン領域上に形成された導電体膜をさらに備え、

前記ピッチ補正用マークは前記導電体膜に隣接する位置に間隔を隔てて位置する請求項5に記載の半導体装置。

【請求項12】 前記条件表示マークの平面形状がプロセス条件を示す文字となっている、請求項5に記載の半導体装置。

【請求項13】 前記プロセス条件は、デザイン寸法、マスク上寸法、レジスト狙い寸法および仕上がり狙い寸法からなる群から選択される少なくとも2つを含む、請求項12に記載の半導体装置。

【請求項14】 素子パターン形成領域を含み、平面形状が四角形の領域と

前記領域の四角形の対辺をなす一辺に接し、かつ幅の広い凸部および幅の狭い凹部を有する外周形状の第1の外周部ダイシング領域と、

前記対辺をなす他辺に接して配置され、かつ前記第1の外周部ダイシング領域の前記凸部および凹部に嵌まり込むような凹部および凸部を有する外周形状の第2の外周部ダイシング領域と、

前記領域の四角形の4つの角部のそれぞれに対応して前記第1および第2の外周部ダイシング領域の前記凸部内に配置された重ね合せ検査マーク領域とを備え

前記重ね合せ検査マーク領域は、前記4つの角部のうちの角部に対応するかを示す補助マーク領域を含む、フォトマスク。

【請求項15】 請求項14に記載のフォトマスクを用いた露光方法を利用する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置、フォトマスクおよび半導体装置の製造方法に関し、より特定的には、製造工程において重ね合せ検査マークなどの測定を容易に行なうことが可能な半導体装置、フォトマスクおよび半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来、半導体装置の製造工程においては、成膜工程、写真製版加工工程などさまざまな工程が実施されている。写真製版加工工程における露光工程では、ステッパと呼ばれる露光装置を用いてフォトマスク上に形成されたマスクパターンを半導体基板上のフォトレジスト膜などに投影する。このような露光工程の方式として、2次元に移動できるX-Yステージ上に半導体基板を固定し、この半導体基板を一定距離移動させるごとに露光工程を実施するステップアンドリピート方式が知られている。

【0003】

図37は、上述のような露光工程に用いられる従来のフォトマスクを示す平面模式図である。図37を参照して、フォトマスクを説明する。

【0004】

図37を参照して、フォトマスク120は、露光光を透過する基板上に、露光光を遮る金属膜などを用いて転写用パターンを形成したものである。図37に示したフォトマスク120では、半導体素子などの転写用パターンが形成されているチップ領域111と、このチップ領域111を取囲むように配置され、ダイシ

ングライン領域を形成するためのダイシング領域153、154、161～163とが形成されている。ダイシング領域153、154、161においては、検査用マークを形成するためのマスクパターン121～127が形成されている。

【0005】

また、図37に示したフォトマスク120においては、ダイシング領域153、154、161～163の幅をできるだけ小さくするとともに、フォトマスク120の少なくとも四隅に重ね合せ検査マークなどの検査用マーク領域129a～132a（図38参照）を形成するためのマスクパターン121～124を配置する必要があることから、いわゆる凹凸ダイシング構造を採用している。すなわち、所定領域にクロム膜などの遮光部材110が配置されることにより、露光光が透過することが可能な第1の外周部ダイシング領域153は、相対的に幅の広い凸部155と相対的に幅の狭い凹部156、157とを有している。そして、第2の外周部ダイシング領域154においては、第1の外周部ダイシング領域153の凸部155および凹部156、157に嵌まり込むような凹部158および凸部159、160を形成するように遮光部材110が配置されている。このようなフォトマスク120を用いてステップアンドリピート方式により半導体基板上に回路パターンを転写していくと、図38に示すような構造を得る。

【0006】

図38は図37に示したフォトマスク120を用いて半導体基板の主表面上に転写パターンが転写されて得られる構造を示す模式図である。チップ領域128aと検査用マーク領域129a～135aとが1回の露光工程（1ショット）によって同時に転写される。また、チップ領域128bと検査用マーク領域129b、132bとが、また、チップ領域128cと検査用マーク領域130c、131cとがそれぞれ1ショットによって転写される。

【0007】

このように、図37に示したフォトマスク120を利用すれば、ダイシングライン領域113の幅を検査用マーク領域129a～135a、129b、130c、131c、132bの幅とほぼ同じ程度となるように設定することができる。とともに、1回の露光工程によって転写される領域の四隅に検査用マーク129



a ~ 1 3 2 a を配置することが可能となる。

【 0 0 0 8 】

図 3 9 は、図 3 8 に示した検査用マーク領域 1 2 9 a ~ 1 3 5 a、1 2 9 b、1 3 0 c、1 3 1 c、1 3 2 b に形成された従来の重ね合せ検査マーク 1 1 5 を示す平面模式図である。また、図 4 0 および図 4 1 は、それぞれ図 3 9 の線分 X L - X L および X L I - X L I における断面模式図である。図 3 9 ~ 4 1 を参照して、重ね合せ検査マーク 1 1 5 を説明する。

【 0 0 0 9 】

図 3 9 ~ 4 1 を参照して、重ね合せ検査マーク 1 1 5 は、重ね合せの下層としてのトレンチ分離絶縁膜 1 0 1、1 0 1 b が含まれる層と、重ね合せの上層としての第 1 の配線 1 0 3 b が含まれる層との露光工程におけるパターンの重ね合せ精度を確認するために用いられる。下層としてのトレンチ分離絶縁膜によって第 1 の重ね合せ検査パターン 1 0 1 a が形成されている。第 1 の検査パターン 1 0 1 a はその平面形状が四角形状である。そして、この第 1 の検査パターン 1 0 1 a の内側に位置する領域には、重ね合せの上層としての第 1 の配線によって平面形状が四角形状の第 2 の検査パターン 1 0 3 a が形成されている。この第 1 の検査パターン 1 0 1 a と第 2 の検査パターン 1 0 3 a との位置関係（水平方向における距離など）を測定することにより、トレンチ分離絶縁膜 1 0 1 を形成するための露光工程によって転写される回路パターンと第 1 の配線 1 0 3 b を形成するための露光工程によって転写される回路パターンとの重ね合せ精度を測定することができる。

【 0 0 1 0 】

重ね合せ検査マーク 1 1 5 においては、トレンチ分離絶縁膜 1 0 1 を含む下層を形成するための露光工程を識別するトレンチ分離パターン識別記号 1 1 6 がトレンチ分離絶縁膜 1 0 1 b によって形成されている。また、第 1 の配線 1 0 3 b を含む上層を形成するための露光工程を識別する第 1 の配線パターン識別記号 1 1 7 が第 1 の配線 1 0 3 b によって形成されている。このようにトレンチ分離パターン識別記号 1 1 6 および第 1 の配線パターン識別記号 1 1 7 を形成することにより、重ね合せ検査マーク 1 1 5 において重ね合せの精度を検出する上層と下

層とがどの層であるかを容易に判別できる。

【0011】

図42は、従来の重ね合せ検査マーク115の他の例を示す平面模式図である。また、図43は、図42のXLIII-XLIIIにおける断面模式図であり、図44は図42のXLIV-XLIVにおける断面模式図である。

【0012】

図42～44を参照して、重ね合せ検査マーク115は、基本的には図39～41に示した重ね合せ検査マークと同様の構造を備える。ただし、図42～44に示した重ね合せ検査マーク115では、重ね合せ精度を検出する対象である下層が半導体基板119の主表面上に形成された第1の配線103bを含む層であり、上層が第1の層間絶縁膜108上に形成された第2の配線105bを含む層である。そのため、相対的な大きなサイズの四角形状である第1の検査パターン103aは第1の配線103bと同一レイヤによって形成され、相対的に小さなサイズの四角形状の第2の検査パターン105aは第2の配線105bと同一レイヤによって形成されている。また、重ね合せ検査マーク115においては、下層としての第1の配線103bを含む層を形成するための露光工程を識別する第1の配線パターン識別記号117が第1の配線103bによって形成され、上層としての第2の配線105bを含む層を形成するための露光工程を識別する第2の配線パターン識別記号136が第2の配線105bによって形成されている。

【0013】

このような重ね合せ検査マーク115を用いて、第1の配線103bを含む層と第2の配線105bを含む層との重ね合せ精度を容易に測定することができる。

【0014】

図39～44に示したような重ね合せ検査マーク115は、図38における検査用マーク領域129a～133a、130a、131b、130c、131cなどに形成されている。

【0015】

【発明が解決しようとする課題】

図39～44に示したような重ね合せ検査マーク115について、1回の露光工程（1ショット）ごとにそのショットにおける重ね合せ精度を確認するための測定などの作業が行なわれる。このとき、図37に示したようなフォトマスク120を用いて、チップ領域128c、128aと順番に露光工程を実施すると、図45に示すように、チップ領域128aを形成するためのショットにおける検査用マーク領域129aとチップ領域128cを形成するためのショットにおける検査用マーク領域130cとが1つのダイシングライン領域113上に隣接して配置されることになる。ここで、図45は、図38の検査用マーク領域134a、135bにおいて形成されたパッド群の平面模式図である。

## 【0016】

図45を参照して、ダイシングライン領域113においては、検査用マーク領域129aと検査用マーク領域130cとが隣接して配置されている。検査用マーク領域129aには、チップ領域128aを形成する際の露光工程における重ね合せ精度を測定するための重ね合せ検査マーク115a、115bが配置されている。また、検査用マーク領域130cには、チップ領域128cを形成する際の露光工程における重ね合せ精度を測定するための重ね合せ検査マーク115c、115dが配置されている。

## 【0017】

ここで、たとえばチップ領域128aを形成するための露光工程における重ね合せ精度を測定する場合を考える。このとき、作業者は重ね合せ検査マーク115a、115bのいずれかを半導体基板上において特定し、この重ね合せ検査マーク115a、115bのいずれかをを用いて重ね合せ精度に関するデータを測定・採取する。しかし、図45に示すように同じ形状の重ね合せ検査マーク115c、115dが同一のダイシングライン領域113に隣接して形成されていると、作業者が誤って重ね合せ検査マーク115a、bではなく、チップ領域128cを形成するための露光工程における重ね合せ精度を示す重ね合せ検査マーク115c、115dについてデータを測定してしまう場合があった。この場合、チップ領域128aを形成するための露光工程における重ね合せ精度のデータではなく、チップ領域128cを形成するための露光工程における重ね合せ精度のデ

ータを測定することになる。

【0018】

したがって、次のショット領域、たとえばチップ領域128bなどにおける露光工程に対して、直前の露光工程であるチップ領域128aを形成するための露光工程における重ね合せ精度のデータをフィードバックする際、誤ったデータ（チップ領域128cを形成するための露光工程における重ね合せ精度のデータ）をフィードバックすることになる。このような誤ったデータをフィードバックすることにより、チップ領域128bにおける重ね合せ精度が劣化するといった問題が発生していた。

【0019】

また、図38における検査用マーク領域134a、135bにおいては、サイドモニタやTEG (Test Element Group) などの検査用素子が形成される。検査用マーク領域134a、135bでは、この検査用素子の電気的特性を測定するための電極パッドが形成される場合がある。このような電極パッドの例を図46に示す。図46は、図38の検査用マーク領域134a、135bにおいて形成されたパッド群の平面模式図である。

【0020】

図46を参照して、ダイシングライン領域113において、検査用マーク領域134a、135aでは、検査用素子の電気的特性を測定するための電極パッド143が形成されている。また、電極パッド143に隣接してエッジセンサとして作用するパッド144が形成されている。そして、図46に示したような電極パッド143およびパッド144は、図38に示した検査用マーク領域134a、135aのそれぞれに形成される。検査用マーク領域134aと検査用マーク領域135aにおいて形成される電極パッド143は、外観上は同じであるが、接続されている検査用素子の種類などはその位置により異なる。また検査用マーク領域134a、135a毎に検査用素子の種類が異なる場合もある。この場合、検査用マーク領域134aにて形成された電極パッド143と、検査用マーク領域135aにて形成された電極パッド143とを識別する必要がある。

【0021】

しかし、従来は図 4 6 に示すように、検査用マーク領域 1 3 4 a、1 3 5 a 毎に電極パッド 1 4 3 を識別するようなマークなどは特に形成されていなかった。このため、たとえば検査用マーク領域 1 3 4 a の電極パッド 1 4 3 にプローブ針などを接続して電気的特性の測定を行なう場合、作業者が誤って検査用マーク領域 1 3 5 a における電極パッド 1 4 3 について測定を行ない、必要なデータとは異なるデータを採取するといった事故が発生する場合があった。

#### 【 0 0 2 2 】

また、図 3 8 において示した検査用マーク領域 1 2 9 a ~ 1 3 5 a においては、チップ領域 1 2 8 a の内部のプロセス管理をより精度よく行なうため、図 4 7 に示すような孤立ホールパターン 1 5 0 (ケルビンパターン) が形成される場合がある。そして、プロセス管理のため孤立ホールパターン 1 5 0 の測長を行なうといった作業が行なわれる。図 4 7 は、従来の半導体装置の検査用マーク領域に形成された孤立ホールパターンを示す平面模式図である。また、図 4 8 は、図 4 7 の X L V I I I - X L V I I I における断面模式図である。

#### 【 0 0 2 3 】

図 4 7 および 4 8 を参照して、検査用マーク領域における孤立ホールパターン 1 5 0 が形成された領域では、半導体基板 1 1 9 の主表面上に活性領域 1 0 2 が形成されている。活性領域 1 0 2 を囲むようにトレンチ分離絶縁膜 1 0 1 が配置されている。半導体基板 1 1 9 の主表面上には第 1 の層間絶縁膜 1 0 8 が形成されている。第 1 の層間絶縁膜 1 0 8 上には第 2 の配線 1 0 5 が形成されている。第 1 の層間絶縁膜 1 0 8 を部分的に除去することにより孤立ホールパターン 1 5 0 が形成されている。孤立ホールパターン 1 5 0 の内部には導電体膜 1 4 9 が充填されている。この導電体膜 1 4 9 によって活性領域 1 0 2 と第 2 の配線 1 0 5 とが接続されている。

#### 【 0 0 2 4 】

第 2 の配線層 1 0 5 上には第 2 の層間絶縁膜 1 0 9 が形成されている。第 2 の層間絶縁膜 1 0 9 上には第 3 の配線 1 0 7 a ~ 1 0 7 d が形成されている。第 2 の層間絶縁膜 1 0 9 を部分的に除去することにより、第 2 のコンタクトホール 1 0 6 が形成されている。第 2 のコンタクトホール 1 0 6 の内部には導電体膜 1 4

6が充填されている。導電体膜146によって第2の配線105と第3の配線107bとが相互接続されている。また、第1および第2の層間絶縁膜108、109を部分的に除去することにより、第3の配線107c下に位置する領域に第2のコンタクトホール106が形成されている。第2のコンタクトホール106の内部部分には、導電体149が充填されている。導電体149により活性領域102と第3の配線107cとが接続されている。

【0025】

このような孤立ホールパターン150の測長作業を行なう場合、作業者は半導体基板上からこの孤立ホールパターン150を探し出す必要がある。しかし、孤立ホールパターン150のサイズは実際には極めて小さく、作業者が孤立ホールパターン150を探し出す作業には時間がかかっていた。そして、このような作業は半導体装置の製造工程の生産性を低下させる要因の1つとなっていた。

【0026】

また、図38に示した検査用マーク領域129a～135aにおいては、チップ領域128aの内部におけるプロセス管理をより精密に行なうため、検査用素子としてたとえば図49に示すような電界効果トランジスタを形成し、ゲート長の測定などを行なうといった作業が行なわれる。図49は、従来の半導体装置の検査用マーク領域に形成された検査用素子を示す平面模式図である。また、図50は、図49の線分L-Lにおける断面模式図である。

【0027】

図49および50を参照して、検査用マーク領域では、半導体基板119の主表面にソースおよびドレイン領域となる活性領域102が形成されている。活性領域102はトレンチ分離絶縁膜101によって周囲を囲まれている。この活性領域102上には、ゲート絶縁膜（図示せず）を介してゲート電極として作用する第2の配線105が形成されている。第2の配線105上には第1の層間絶縁膜108が形成されている。活性領域102の所定領域上に位置する領域においては、第1の層間絶縁膜108を部分的に除去することにより第2のコンタクトホール106が形成されている。第2のコンタクトホール106の内部には導電体膜146が充填されている。第1の層間絶縁膜108上には導電体膜146と

接続するように第3の配線107b、107cが形成されている。また、図49に示すように、第2の配線105は、第1の層間絶縁膜108上に形成された第3の配線107aとコンタクトホール106の内部に形成された導電体膜を介して電氣的に接続されている。ソースおよびドレイン領域としての活性領域102とゲート絶縁膜（図示せず）とゲート電極としての第2の配線105とから検査用素子としての電界効果トランジスタが構成される。

## 【0028】

このようにして形成された電界効果トランジスタにおいては、ゲート電極として作用する第2の配線105の幅、すなわちゲート長Lを走査型電子顕微鏡（scanning electron microscope：SEM）を用いて測定していた。このようなゲート長Lの測定においては、測定精度を高めるために測定値の校正を行なうことが好ましい。しかし、従来、検査用マーク領域の内部において、このような測定値の校正を行なうための構造は特に準備されていなかった。

## 【0029】

また、図49および50に示した電界効果トランジスタなどの検査用素子においては、検査用素子の近傍に、その検査用素子を形成する際に用いられたプロセス条件を特定できる記号や、あるいはプロセス条件自体が示されていれば、作業者は検査用素子のサイズ測定などを行なうと同時にプロセス条件も確認できるので、写真製版加工工程に異常が発生した場合、この異常の発生を迅速かつ容易に認識できる。しかし、従来このような検査用素子を形成するための写真製版加工工程におけるプロセス条件を示すデータなどを示すマークは特に設けられていなかった。

## 【0030】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、詳細かつ正確な検査用マークの測定を容易に行なうことが可能な半導体装置を提供することである。

## 【0031】

この発明のもう1つの目的は、詳細かつ正確な検査用マークの測定を容易に行なうことが可能な半導体装置を製造するためのフォトマスクを提供することであ

る。

【 0 0 3 2 】

この発明のもう 1 つの目的は、詳細かつ正確な検査用マークの測定を容易に行なうことが可能な半導体装置の製造方法を提供することである。

【 0 0 3 3 】

【課題を解決するための手段】

この発明の一の局面における半導体装置は、半導体基板上に形成された素子形成領域と、この素子形成領域を囲むように配置されたダイシングライン領域とを備える半導体装置であって、ダイシングライン領域では、異なるショットで形成された第 1 および第 2 の重ね合せ検査マークが形成されている。第 1 および第 2 の重ね合せ検査マークは、第 1 および第 2 の重ね合せ検査マークを識別するための補助マークを含む（請求項 1）。

【 0 0 3 4 】

この場合、ダイシングライン領域において、異なるショットで形成された第 1 および第 2 の重ね合せ検査マークが隣接して形成されていても、補助マークを検出することにより第 1 および第 2 の重ね合せ検査マークを容易に識別できる。そのため、第 1 および第 2 の重ね合せ検査マークを形成するためのショットのそれぞれについて重ね合せ精度を測定する際に、第 1 および第 2 の重ね合せ検査マークを取り違えるといった問題の発生を防止できる。この結果、重ね合せ精度の測定を正確かつ容易に行なうことができる。

【 0 0 3 5 】

上記一の局面における半導体装置は、半導体基板の表面を複数の領域に分割し、それぞれの領域について写真製版加工を行なうことにより製造される半導体装置であって、領域は、最外周部に第 1 または第 2 の重ね合せ検査マークのいずれかを備えることが好ましい。補助マークは、第 1 および第 2 の重ね合せ検査マークのそれぞれについて領域における相対的な位置を表示する領域内位置表示マークであることが好ましい（請求項 2）。

【 0 0 3 6 】

この場合、1 回の露光工程により回路パターンが転写される領域内に複数の重



重ね合せ検査マークが形成される際に、それぞれの重ね合せ検査マーク同士についての領域内における相対的な位置関係を領域内位置表示マークによって作業者が容易に認識することができる。このため、露光工程の重ね合せ精度の測定をより正確に行なうことができる。

【 0 0 3 7 】

上記一の局面における半導体装置では、第 1 または第 2 の重ね合せ検査マークが、領域の四隅の少なくともいずれかに形成されていることが好ましい（請求項 3）。

【 0 0 3 8 】

この場合、領域の端部に重ね合せ検査マークを配置することになるので、露光工程におけるフォトマスクのアライメント不良をより確実に検出できる。

【 0 0 3 9 】

上記一の局面における半導体装置では、第 1 または第 2 の重ね合せ検査マークが、領域の四隅すべてに形成されていてもよい。

【 0 0 4 0 】

この場合、重ね合せの精度をより正確に測定することができる。

上記一の局面における半導体装置では、補助マークは平面形状が矢印状であってもよい（請求項 4）。

【 0 0 4 1 】

このように、補助マークの平面形状を矢印状とすることにより、容易に重ね合せ検査マークの領域内における相対的な位置を表示することができる。たとえば、領域内において、右上の領域に位置する重ね合せ検査マークにおける補助マークの平面形状を、右上の方向を指し示す矢印状とすれば、作業者はその重ね合せ検査マークの領域内での位置を直感的に認識できる。このため、作業者が重ね合せ検査マークを誤認する危険性を低減できる。

【 0 0 4 2 】

この発明の他の局面における半導体装置は、半導体基板上に形成された素子形成領域と、この素子形成領域を囲むように配置されたダイシングライン領域とを備える半導体装置であって、ダイシングライン領域には検査用素子領域が形成さ

れている。検査用素子領域は、識別マーク、位置表示マーク、ピッチ補正用マークおよび条件表示マークからなる群から選択される少なくとも1つを含む。識別マークは検査用素子領域に含まれる電極の種類を識別する。位置表示マークは検査用素子領域に配置された層間絶縁膜に形成されたコンタクトホールを示す。ピッチ補正用マークは検査用素子領域に形成され、間隔を隔てて並列に並んだ複数の線状パターンからなる。条件表示マークは検査用素子領域に配置され、プロセス条件を示す（請求項5）。

## 【0043】

このようにすれば、検査用素子領域がたとえば識別マークを含む場合、容易に電極の種類を識別マークによって識別できる。また、検査用素子領域が位置表示マークを含む場合、コンタクトホールの位置を作業者が位置表示マークによって容易に検出できる。さらに、検査用素子領域がピッチ補正用マークを含む場合、評価用の電界効果トランジスタなどにおいてゲート長を測定する際のデータの校正をピッチ補正用マークによって迅速かつ容易に行なうことができる。また、検査用素子領域が条件表示マークを含む場合、作業者が検査用素子領域の測定用の素子を形成した際のプロセス条件を条件表示マークによって容易に知ることができる。このため、検査用素子領域における検査用マークの測定などを行なう場合、プロセスの異常を迅速に検出できる。

## 【0044】

上記他の局面における半導体装置では、識別マークは電極上に形成されていてもよい（請求項6）。

## 【0045】

この場合、検査用素子領域において識別マークを形成するための領域を確保する必要がないので、検査用素子領域の面積を削減することができる。

## 【0046】

上記他の局面における半導体装置では、識別マークの平面形状は文字を構成していてもよく、その文字を構成する線の幅は $10\mu\text{m}$ 以下であることが好ましい（請求項7）。

## 【0047】

この場合、電極に押圧されるプローブ針などの針先のサイズより、識別マークとしての文字の線幅を十分小さくできる。このため、電極上に識別マークとしての文字を形成しても、プローブ針と電極表面とを確実に接触させることができる。

## 【 0 0 4 8 】

上記他の局面における半導体装置では、識別マークの幅が  $30\mu\text{m}$  以上であることが好ましい（請求項 8）。

## 【 0 0 4 9 】

この場合、半導体基板からチップを切出すためのダイシングに用いるブレードの幅よりも識別マークの大きさを十分大きくできる。したがって、ダイシング後に半導体装置であるチップの周辺部のダイシングライン領域において、識別マークを確実に残存させることができる。このため、ダイシング工程においてパターン剥がれなどの不具合が発生した場合に、このような識別マークが存在する位置を原点としてパターン剥がれなどの不良が発生した位置の特定を容易に行なうことができる。

## 【 0 0 5 0 】

また、このように識別マークを大きくしておくことで、作業者が電極を探す際に、作業者がこの識別マークを容易に認識できる。つまり識別マークの視認性を向上させることができる。これにより、検査作業をより正確かつ迅速に行なうことができる。

## 【 0 0 5 1 】

上記他の局面における半導体装置では、位置表示マークが層間絶縁膜に形成された開口部であってもよい（請求項 9）。

## 【 0 0 5 2 】

この場合、コンタクトホールを形成する工程において位置表示マークを同時に形成することができる。したがって、このような位置表示マークを形成するために新たな工程を追加する必要がない。これにより、位置表示マークを形成するために半導体装置の製造工程数が増加することを防止できる。

## 【 0 0 5 3 】

上記他の局面における半導体装置では、開口部の平面形状が、コンタクトホール  
の方向を示す矢印状であってもよい（請求項10）。

【0054】

このようにすれば、作業者が位置表示マークとしての開口部の平面形状を識別  
することによって、作業者は容易にコンタクトホールの位置を確認できる。

【0055】

上記他の局面における半導体装置では、検査用素子領域はダイシングライン領  
域上に形成された導電体膜をさらに備えることが好ましい。ピッチ補正用マーク  
は、導電体膜に隣接する位置に間隔を隔てて位置することが好ましい（請求項1  
1）。

【0056】

このようにすれば、導電体膜の幅を測長する際にピッチ補正用マークを用いて  
容易に測定データの校正を行なうことができる。この結果、導電体膜の幅の測長  
精度を向上させることができる。

【0057】

上記他の局面における半導体装置では、ピッチ補正用マークは、導電体膜と同  
一レイヤによって形成されていてもよい。

【0058】

上記他の局面における半導体装置では、条件表示マークの平面形状がプロセス  
条件を示す文字となっていることが好ましい（請求項12）。

【0059】

この場合、作業者が条件表示マークを識別することで容易にプロセス条件を確  
認できる。

【0060】

上記他の局面における半導体装置では、プロセス条件が、デザイン寸法、マス  
ク上寸法、レジスト狙い寸法および仕上がり狙い寸法からなる群から選択される  
少なくとも2つを含むことが好ましい（請求項13）。

【0061】

この場合、上記のようなデータをもとにして作業者がプロセス上の不具合など

をより迅速かつ確実に発見することが可能となる。たとえば、デザイン寸法とマスク上寸法とが条件表示マークとして表示されている場合、作業者はサイジングの正誤を容易に確認することができる。また、マスク上寸法とレジスト狙い寸法とが条件表示マークとして表示されている場合、作業者は写真製版加工における異常を容易に検出できる。また、レジスト狙い寸法と仕上がり狙い寸法とが条件表示マークとして表示されている場合、作業者はエッチングプロセスの異常を容易に検出できる。

## 【 0 0 6 2 】

この発明の別の局面におけるフォトマスクは、素子パターン形成領域を含み、平面形状が四角形の領域と、第1の外周部ダイシング領域と第2の外周部ダイシング領域と重ね合せ検査マーク領域とを備える。第1の外周部ダイシング領域は、領域の四角形の対辺をなす一辺に接して配置され、かつ幅の広い凸部および幅の狭い凹部を有する外周形状である。第2の外周部ダイシング領域は、対辺をなす他辺に接して配置され、かつ第1の外周部ダイシング領域の凸部および凹部に嵌まり込むような凹部および凸部を有する外周形状である。重ね合せ検査マーク領域は、領域の四角形の4つの角部のそれぞれに対応して第1および第2の外周部ダイシング領域の凸部内に配置されている。重ね合せ検査マーク領域は、4つの角部のうちどの角部に対応するかを示す補助マーク領域を含む（請求項14）。

## 【 0 0 6 3 】

このようにすれば、半導体基板上においてフォトマスクを用いて回路パターンが転写された領域の内部において、重ね合せ検査マーク領域によって形成される重ね合せ検査マークが、相対的にどの部分に位置するかを補助マーク領域によって形成される補助マークによって作業者が容易に識別できる。この結果、重ね合せ検査マークについて重ね合せ精度を測定する作業を確実にかつ容易に行なうことができる。

## 【 0 0 6 4 】

この発明のもう1つの局面における半導体装置の製造方法は、上記別の局面におけるフォトマスクを用いた露光方法を利用する（請求項15）。

【 0 0 6 5 】

このようにすれば、重ね合せ検査マークについての重ね合せ精度の測定作業などを容易かつ正確・確実に行なうことができる。したがって、重ね合せ検査マークの測定ミスなどによる重ね合せ精度の劣化を防止できる。この結果、重ね合せ精度の優れた半導体装置を容易に得ることができる。

【 0 0 6 6 】

## 【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【 0 0 6 7 】

## (実施の形態 1)

図 1 は、本発明による半導体装置の実施の形態 1 における検査用マーク領域に形成された重ね合せ検査マークの平面模式図である。また、図 2 は、図 1 の線分 I I - I I における断面模式図である。図 3 は、図 1 の線分 I I I - I I I における断面模式図である。図 4 は、図 1 の線分 I V - I V における断面模式図である。

【 0 0 6 8 】

図 1 ～ 4 を参照して、重ね合せ検査マーク 1 5 は、半導体基板 1 9 の主表面に形成されたトレンチ分離絶縁膜 1 の層と、第 1 の配線 3 b が形成される層との重ね合せ精度を測定するための重ね合せ検査マークである。重ね合せ検査マーク 1 5 では、トレンチ分離絶縁膜 1 b と同一レイヤからなる第 1 の検査パターン 1 a と第 1 の配線 3 b と同一レイヤからなる第 2 の検査パターン 3 a とを備える。第 1 の検査パターン 1 a は図 1 に示すようにその平面形状が四角形状である。第 2 の検査パターン 3 a はこの第 1 の検査パターン 1 a の内側に位置し、第 1 の検査パターン 1 a より相対的にサイズの小さな四角形状の平面形状を有している。

【 0 0 6 9 】

重ね合せ検査マーク 1 5 においては、トレンチ分離絶縁膜 1 を形成するための露光工程を識別する工程識別マークとしてのトレンチ分離パターン識別記号 1 6 が形成されている。このトレンチ分離パターン識別記号 1 6 は、トレンチ分離絶

縁膜 1 b によって構成されている。また、第 1 の配線 3 b を含む層を形成するための露光工程を識別する第 1 の配線パターン識別記号 1 7 が第 1 の配線 3 b によって形成されている。

## 【0070】

また、重ね合せ検査マーク 1 5 においては、第 1 の配線 3 b と同一レイヤの導電体膜によって補助マークとしてのショット内位置表示マーク 1 8 が形成されている。このショット内位置表示マーク 1 8 は、1 回の露光工程によって回路パターンが転写される領域内において複数の重ね合せ検査マーク 1 5 が配置される場合、重ね合せ検査マーク 1 5 がその領域内で相対的にどの部分に位置しているかを表示する領域内位置表示マークとして作用する。

## 【0071】

すなわち、図 1 ～ 4 に示したような重ね合せ検査マーク 1 5 を備える半導体装置を製造する際に、図 5 に示したようなフォトマスク 2 0 を使用する場合を考える。図 5 は、本発明による半導体装置を製造するために用いられる、本発明によるフォトマスクを示す平面模式図である。なお、図 5 に示したフォトマスク 2 0 はレチクル（ステッパまたはフォトリピータに用いられるフォトマスク）である。図 5 を参照して、フォトマスク 2 0 は、半導体記憶装置などの素子を形成するための転写パターンが形成されているチップ領域のマスクパターン 1 1 と、このチップ領域のマスクパターン 1 1 を囲むように配置され、ダイシングライン領域を形成するためのダイシング領域 5 3、5 4、6 1、6 2、6 5 とを備える。ダイシング領域 5 3、5 4、6 1 においては、重ね合せ検査マーク 1 5 や検査用素子が形成される検査用マーク領域のためのマスクパターン領域 2 1 ～ 2 7 が形成されている。

## 【0072】

図 5 に示したフォトマスク 2 0 においては、ダイシング領域 5 3、5 4、6 1、6 2、6 5 の幅をできるだけ小さくするとともに、フォトマスク 2 0 の少なくとも四隅に重ね合せ検査マークなどを配置した検査用マーク領域 2 9 a ～ 3 2 a（図 6 参照）を形成するためのマスクパターン領域 2 1 ～ 2 4 を配置する必要があることから、いわゆる凹凸ダイシング構造を採用している。すなわち、フォト

マスク 2 0 では、素子パターン形成領域としてのチップ領域のマスクパターン 1 1 とダイシングライン領域 6 1 とから、平面形状が四角形の領域が構成されている。

【 0 0 7 3 】

この領域の四角形の対辺をなす一辺に接し、かつ幅の広い凸部 5 5 および幅の狭い凹部 5 6、5 7 を有する外周形状の第 1 の外周部ダイシングライン領域 5 3 が配置されている。このような凸部 5 5 および凹部 5 6、5 7 は、フォトマスク 2 0 の所定領域にクロム膜などの遮光部材 1 0 を配置することにより形成される。また、第 1 の外周部ダイシング領域 5 3 の凸部 5 5 および凹部 5 6、5 7 に嵌まり込むような凹部 5 8 および凸部 5 9、6 0 を有する外周形状の第 2 の外周部ダイシング領域 5 4 が、上記領域の対辺をなす他辺に接して配置されている。つまり、第 2 の外周部ダイシング領域 5 4 において、第 1 の外周部ダイシング領域 5 3 の凸部 5 5 および凹部 5 6、5 7 に嵌まり込むような凹部 5 8 および凸部 5 9、6 0 を形成するように遮光部材 1 0 が配置されている。また、ダイシング領域 6 2、6 5 においても、どのように互いに嵌まり込むような凸部および凹部を形成するように、遮光部材 1 0 が配置されている。

【 0 0 7 4 】

四角形の領域の 4 つの角部のそれぞれに対応して、第 1 および第 2 の外周部ダイシング領域 5 3、5 4 の凸部 5 5、5 9、6 0 内部には、図 1 ～ 4 に示したような重ね合せ検査マーク 1 5 を形成するための重ね合せ検査マーク領域としてのマスクパターン領域 2 1 ～ 2 4 (マーク A ～ マーク D) が配置されている。また、ダイシングライン領域 6 1 の中央部には、図 1 に示した重ね合せ検査マーク 1 5 を形成するための検査用マークのマスクパターン領域 2 5 (マーク E) が配置されている。検査用マークのマスクパターン領域 2 1 ～ 2 5 においては、図 1 に示したショット内位置表示マーク 1 8 を形成するための補助マーク領域としてのマスクパターンが形成されている。また、検査用マークのマスクパターン領域 2 6、2 7 においては、後述するように検査用素子を形成するためのマスクパターンが配置されている。

【 0 0 7 5 】



図 5 に示したようなフォトマスク 2 0 を用いて、半導体基板上にステップアンドリピート方式によって回路パターンを転写していく。図 5 に示したフォトマスク 2 0 を用いて回路パターンを転写した半導体装置としての半導体基板の表面を図 6 に示す。図 6 は、図 5 に示したフォトマスクを用いて回路パターンが転写された半導体基板の表面を示す模式図である。

【 0 0 7 6 】

図 6 を参照して、図 5 に示したフォトマスク 2 0 を用いて 1 回の露光工程によって転写される領域は、チップ領域 2 8 a と検査用マーク領域 2 9 a ～ 3 5 a とを含む。この 1 回の露光工程（1 ショット）によって露光される領域の境界部をショット境界 1 2 として点線で示している。そして、フォトマスク 2 0 を所定の距離ずらしながら露光工程を繰返すことにより、たとえばチップ領域 2 8 a に隣接する位置にチップ領域 2 8 b、2 8 c を形成することができる。チップ領域 2 8 b を形成するための露光工程においては、同時に検査用マーク領域 2 9 b、3 2 b を形成するためのパターンが転写される。また、チップ領域 2 8 c が形成される露光工程においては、同時に検査用マーク領域 3 0 c、3 1 c においてパターンが転写される。

【 0 0 7 7 】

このように、図 5 に示したフォトマスク 2 0 を用いて露光工程を行なうことにより、1 回の露光工程（1 ショット）によって露光される領域の四隅に重ね合せ検査マーク 1 5 を含む検査用マーク領域 2 9 a ～ 3 2 a を形成できる。このため、露光工程におけるフォトマスク 2 0 のアライメント不良をより確実に検出できる。

【 0 0 7 8 】

このような露光工程によって、たとえばダイシングライン領域 1 3 においては、チップ領域 2 8 a を形成する際のショットの重ね合せ精度を確認するための重ね合せ検査マークを含む検査用マーク領域 2 9 a と、チップ領域 2 8 c を形成する際のショットにおける重ね合せ精度を確認するための重ね合せ検査マークを含む検査用マーク領域 3 0 c とが隣接して配置されることになる。このとき、フォトマスク 2 0 における検査用マークのマスクパターン領域 2 1 ～ 2 5 においては

、それぞれの重ね合せ検査マークにおいて図7に示したようなショット内位置表示マーク18a～18eを形成するための補助マーク領域が形成されている。図7は、図6における検査用マーク領域29a～33aに形成される重ね合せ検査マークを示す模式図である。

## 【0079】

検査用マーク領域29aにおいては、図7に示した重ね合せ検査マーク15aが形成される。この重ね合せ検査マーク15aにおいては、1回の露光工程によってパターンが転写される領域内（チップ領域28aを含む領域内）における重ね合せ検査マーク15aの相対的な位置を示すショット内位置表示マーク18aが形成されている。重ね合せ検査マーク15aは、検査用マーク領域29aに形成されるので、ショット内においては右上に位置することになる。このため、ショット内位置表示マーク18aは、右上を示すカギ括弧形状の平面形状を有している。

## 【0080】

また、検査用マーク領域30a～32aにおいては、それぞれ重ね合せ検査マーク15b～15dが形成されている。重ね合せ検査マーク15b～15dには、それぞれの重ね合せ検査マーク15b～15dの相対的な位置を表示するためのショット内位置表示マーク18b～18dがそれぞれ形成されている。また、検査用マーク領域33aにおいては、重ね合せ検査マーク15eが形成されている。この重ね合せ検査マーク15eは、1ショットで回路パターンが転写される領域内のほぼ中央部に位置している。そのため、ショット内位置表示マーク18eはこの重ね合せ検査マーク15eが上記領域内のほぼ中央部に位置していることを示すため、四角形状の平面形状を有している。なお、ダイシングライン領域13の幅や検査用マーク領域29a～29dの配置によっては、図7に示した重ね合せ検査マーク15a～15eをそれぞれ90°回転したような構成としてもよい。

## 【0081】

このような補助マークとしてのショット内位置表示マーク18a～18eを備える重ね合せ検査マーク15a～15eを形成するために、図5に示したフォト

マスク 20 においては、検査用マークのマスクパターン領域 21 ~ 25 において重ね合せ検査マーク 15 a ~ 15 e に対応する形状の転写用パターンが形成されている。そして、このフォトマスク 20 を用いてチップ領域 28 a ~ 28 c をステップアンドリピート方式によって形成していく場合、検査用マーク領域 29 b、32 b、30 c、31 c においても同様にショット内位置表示マークを備える重ね合せ検査マークが形成される。たとえば、検査用マーク領域 29 a、30 c が形成された部分について考える。図 8 は、図 6 における検査用マーク領域 29 a、30 c が形成された領域の部分拡大模式図である。

【0082】

図 8 を参照して、検査用マーク領域 29 a においては、トレンチ分離絶縁膜 1 b を含む層と第 1 の配線 3 b を含む層との重ね合せ精度を確認するための重ね合せ検査マーク 15 a、および第 1 の配線 3 b を含む層と第 2 の配線 5 b を含む層との重ね合せ精度を確認するための重ね合せ検査マーク 38 a とが形成されている。これらの重ね合せ検査マーク 15 a、38 a は、チップ領域 28 a (図 6 参照) を形成するためのショットにおける重ね合せ精度を測定するために用いられる。

【0083】

また、検査用マーク領域 29 a に隣接する検査用マーク領域 30 c においては、重ね合せ検査マーク 15 a、38 a と基本的に同じ形状の重ね合せ検査マーク 15 b、38 b が形成されている。しかし、これらの重ね合せ検査マーク 15 b、38 b は、チップ領域 28 c を形成する際のショットにおいて形成されるものであり、チップ領域 28 c を形成するためのショットにおける重ね合せ精度を測定するために用いられる。

【0084】

また、この検査用マーク領域 30 c はフォトマスク 20 における検査用マークのマスクパターン領域 22 に形成されているものである。そのため、重ね合せ検査マーク 15 b、38 b においては、ショット内位置表示マーク 18 b、37 b が重ね合せ検査マーク 15 a、38 a のショット内位置表示マーク 18 a、37 a とは異なる形状となっている。これにより、作業者は重ね合せ検査マーク 15

a、15b、38a、38bをそれぞれ識別できる。したがって、作業者が重ね合せ精度を測定するために重ね合せ検査マーク15a、15b、38a、38bのいずれかを特定する場合に、たとえば重ね合せ検査マーク15aと重ね合せ検査マーク15bとを取り違える、あるいは重ね合せ検査マーク38aと重ね合せ検査マーク38bとを取り違えるといった事故の発生を防止できる。また、ショット内位置表示マーク18a、18b、37a、37bが存在することにより、作業者は重ね合せ検査マーク15a、15b、38a、38bがどのショットに属するパターンであるかを容易に判定できる。そのため、上記のような事故の発生を容易に防止できる。したがって、重ね合せ精度の測定を正確かつ容易に行なうことができる。この結果、重ね合せ精度の優れた半導体装置を容易に得ることができる。

## 【0085】

また、ショット内位置表示マーク18a～18eが形成されているので、1回の露光工程により回路パターンが転写される領域内に複数の重ね合せ検査マーク15a～15eが形成される際に、それぞれの重ね合せ検査マーク15a～15eについての相対的な位置関係を作業者が容易に認識することができる。このため、露光工程の重ね合せ精度の測定をより正確に行なうことができる。

## 【0086】

図9は、本発明による半導体装置の実施の形態1の変形例において形成される重ね合せ検査マークを示す模式図であり、図7に対応している。図9に示した半導体装置の重ね合せ検査マーク15a～15eは、基本的に図7に示した半導体装置の重ね合せ検査マーク15a～15eと同様の構造を備えるが、ショット内位置表示マーク39a～39eの平面形状が図7に示した重ね合せ検査マークとは異なる。図9に示した重ね合せ検査マーク15a～15eにおけるショット内位置表示マーク39a～39eの平面形状は、それぞれの重ね合せ検査マークの相対的な位置を示すため矢印状となっている。このような矢印状のショット内位置表示マーク39a～39eを用いても、図7に示した半導体装置と同様の効果を得ることができるとともに、作業者はより直感的に重ね合せ検査マーク15a～15eの相対的な位置を認識できる。したがって、より容易に重ね合せ検査マ

ーク15a～15eの位置を判別することができる。なお、重ね合せ検査マーク15eにおけるショット内位置表示マーク39eは、ショット内の中央部に位置することから図7に示したショット内位置表示マーク18eと同様に四角形状としているが、図7に示したショット内位置表示マーク18eと区別するためそのサイズをショット内位置表示マーク18e（図7参照）よりも小さくしている。

【0087】

（実施の形態2）

図10は、本発明による半導体装置の実施の形態2における重ね合せ検査マークを示す平面模式図である。図11は図10の線分X I - X I における断面模式図である。図12は図10の線分X I I - X I I における断面模式図である。図13は図10の線分X I I I - X I I I における断面模式図である。

【0088】

図10～13を参照して、重ね合せ検査マーク15は、第1の配線3bを含む層と、第2の配線5bを含む層との重ね合せ精度を測定するための重ね合せ検査マークである。重ね合せ検査マーク15においては、平面形状が四角形状の第1の検査パターン3aが、第1の配線3bと同一レイヤによって形成されている。そして、第1の検査パターン3aと第1の配線3bとの上には第1の層間絶縁膜8が形成されている。この第1の層間絶縁膜8上には、平面形状が四角形状である第2の検査パターン5aと第2の配線5bとが形成されている。この第2の検査パターン5aは第2の配線5bと同一レイヤにより形成されている。この第1の検査パターン3aと第2の検査パターン5aとの間の水平方向における距離を測定することにより、重ね合せ精度を測定することができる。

【0089】

また、重ね合せ検査マーク15においては、第1の配線3bを含む層を形成するための露光工程を識別する第1の配線パターン識別記号17が第1の配線3bにより形成されている。また、第2の配線5a、5bを含む層を形成する露光工程を識別するための第2の配線パターン識別記号36が第2の配線5bによって形成されている。また、第2の配線5bと同一レイヤによって重ね合せ検査マーク15のショット内位置表示マーク37が形成されている。

## 【0090】

このような重ね合せ検査マークを備える半導体装置によっても、本発明の実施の形態1による半導体装置と同様の効果を得ることができる。

## 【0091】

## (実施の形態3)

図14は、本発明による半導体装置の実施の形態3における重ね合せ検査マークを示す平面模式図である。図15は図14の線分XV-XVにおける断面模式図であり、図16は図14の線分XVI-XVIにおける断面模式図である。なお、図14の線分XII-XIIにおける断面模式図は、図12に示した断面模式図と同様となる。

## 【0092】

図14～16を参照して、重ね合せ検査マーク15は、第1の配線3bを含む層と、第1の層間絶縁膜8において形成される第1のコンタクトホール4bと同一ショットで形成されるコンタクトホールとの重ね合せ精度を測定するために用いられる。重ね合せ検査マーク15においては、平面形状が四角形状の第1の検査パターン3aが第1の配線3bと同一レイヤによって形成される。また、平面形状が四角形状である第2の検査パターン4bが第1の層間絶縁膜8において形成されたコンタクトホール4bと同一工程により形成されるコンタクトホールによって形成される。この第1および第2の検査パターン3a、4aの水平方向における距離を測定することにより、第1の配線3bを含む層とコンタクトホール4bと同一工程により形成されるコンタクトホール群との重ね合せ精度を評価することができる。

## 【0093】

また、重ね合せ検査マーク15においては、図10に示した重ね合せ検査マークと同様に第1の配線パターン識別記号17が形成されるとともに、コンタクトホール4bによってこのコンタクトホール4bを形成するための露光工程を識別する第1のコンタクトホール識別記号40が形成されている。また、コンタクトホール4bと同一工程によって、第1の層間絶縁膜8に形成されたコンタクトホールによりショット内位置表示マーク41が構成されている。なお、第1の層間

絶縁膜 8 上には第 2 の層間絶縁膜 9 が形成されている。

【0094】

このように、補助マークとしてのショット内位置表示マーク 41 が形成されているため、本発明の実施の形態 1 による半導体装置と同様の効果を得ることができる。

【0095】

(実施の形態 4)

図 17 は、本発明による半導体装置の実施の形態 4 における重ね合せ検査マークを示す平面模式図である。図 18 は、図 17 の線分 X V I I I - X V I I I における断面模式図であり、図 19 は、図 17 の線分 X I X - X I X における断面模式図である。なお、図 17 の線分 X I I - X I I における断面模式図は、図 12 に示した断面模式図と同様となる。

【0096】

図 17 ~ 19 を参照して、重ね合せ検査マーク 15 は、第 1 のコンタクトホール 4 b が形成される際に同時に形成される (同一ショットで形成される) コンタクトホールと第 2 の配線 5 b を含む層との間の重ね合せ精度を測定するために用いられる。第 1 のコンタクトホール 4 b と同一工程により形成されるコンタクトホールによって、第 1 の検査パターン 4 a が形成される。また、平面形状が四角形状である第 2 の検査パターン 5 a が、第 2 の配線 5 b と同一レイヤにより形成される。この第 1 および第 2 の検査パターン 4 a、5 a の間の水平方向における距離を測定することにより、上述したコンタクトホールと第 2 の配線 5 b を含む層との重ね合せ精度を測定することができる。

【0097】

重ね合せ検査マーク 15 においては、第 1 のコンタクトホール 4 b を形成する露光工程を識別するための第 1 のコンタクトホール識別記号 40 が、第 1 のコンタクトホール 4 b によって形成されている。また、第 2 の配線 5 b を含む層を形成する露光工程を識別するための第 2 の配線パターン識別記号 36 が、第 2 の配線 5 b によって形成されている。また、第 2 の配線 5 b と同一レイヤの導電体層によって、ショット内位置表示マーク 37 が形成されている。このように、重ね

合せ検査マーク15がショット内位置表示マーク37を備えるため、図17～19に示した重ね合せ検査マークを備える半導体装置によって、本発明による半導体装置の実施の形態1と同様の効果を得ることができる。

【0098】

(実施の形態5)

図20および21は、本発明による半導体装置の実施の形態5における検査用素子領域としての検査用マーク領域に形成されたパッド群を示す平面模式図である。図20に示した電極パッド43は、検査用マーク領域34a(図6参照)に形成され、図21に示した電極パッド43は、検査用マーク領域35a(図6参照)に形成されている。

【0099】

図20を参照して、検査用マーク領域34a(図6参照)に形成された電極43を識別するため、電極43と同一レイヤの導電体膜によって識別マークとしての識別文字45aが形成されている。識別文字45aの平面形状は、たとえば図20に示すように「A」というような文字を用いてもよい。作業者は、この識別文字45aによって電極パッド43およびエッジセンサとしてのパッド44からなるパッド群を容易に識別できる。

【0100】

この識別文字45aの幅L1は30 $\mu$ m以上となるように設定している。このようにすれば、ダイシングライン領域13を切断するためのダイシングに用いられるブレード(ダイシングブレード)の幅よりも識別文字45aの幅L1を大きくできる。したがって、半導体基板をダイシングライン領域13においてダイシングブレードを用いて切断するダイシング工程を実施した場合、半導体基板を切断して得られた半導体チップの端部に識別文字45aの一部を残存させることができる。このように識別文字45aの一部が残存することにより、ダイシング工程においてパターン剥がれなどの不良が発生した場合に、そのような不良発生部の位置を特定するための基準点として、ダイシング工程後に残存した識別文字45aを用いることができる。この結果、パターン剥がれなどの不具合が発生した不良箇所の位置の特定を容易に行なうことができる。



## 【0101】

また、このように識別文字45aの幅L1を大きくしておけば、識別文字45aの視認性を向上させることができる。

## 【0102】

なお、エッジセンサとしてのパッド44は電極パッド43と同一レイヤによって構成され、電極パッド43にプローブ針などを押圧する際の位置検出のために用いられる。

## 【0103】

図21を参照して、検査用マーク領域35a（図6参照）に形成される電極パッド43およびエッジセンサ44からなる電極パッド群を識別するための識別マークとして、電極パッド43と同一レイヤの導電体膜によって識別文字45bが形成されている。この識別文字45bとしては、図21に示すように「B」などの文字を用いることができる。

## 【0104】

このように、それぞれの電極パッド群に対応して識別文字45a、45bを形成することにより、作業者が容易に電極パッド群を識別することができる。この結果、誤った電極パッド43にプローブ針などを押圧してデータを採取するといった事故の発生を防止できる。

## 【0105】

また、図21に示した識別文字45bにおいても、その幅L1を30 $\mu$ m以上とすることにより、図20に示した識別文字45aによる効果と同様の効果を得ることができる。

## 【0106】

## （実施の形態6）

図22および23は、本発明による半導体装置の実施の形態6における検査用マーク領域29a～35a、30c、29b、31c、32bに形成されたパッド群を示す平面模式図である。図22は、検査用マーク領域34a（図6参照）に形成された電極パッド群を示し、図20に対応する。また、図23は検査用マーク領域35a（図6参照）に形成された電極パッド群を示し、図21に対応す

る。

【0107】

図22および図23を参照して、それぞれの電極パッド群にはその電極パッド群を識別するための識別文字45a、45bが形成されているが、この識別文字45a、45bはエッジセンサとしてのパッド44上にそれぞれ形成されている。具体的には、パッド44の表面から識別文字45a、45bとなるべき領域のパッド44を構成する導電体膜を除去することにより、識別文字45a、45bを形成している。このようにしても、識別文字45a、45bによって電極パッド群のそれぞれを認識できるので、本発明による半導体装置の実施の形態5と同様の効果を得ることができる。

【0108】

また、このようにパッド44上に識別文字45a、45bを形成するので、図20および21に示した場合に比べて識別文字45a、45bのために必要であった領域を省略することができる。この結果、検査用マーク領域34a、35aの面積を低減することが可能になる。

【0109】

また、識別文字45a、45bの幅L1は、図20および21に示した識別文字45a、45bと同様に30 $\mu$ m以上とすることが好ましい。このようにすれば、ダイシング工程後において、図20および21に示した半導体装置と同様に不良部を特定するための基準点としてこの識別文字45a、45bを用いることができる。

【0110】

また、識別文字45a、45bを構成する線の幅は10 $\mu$ m以下としている。このようにすれば、パッド44に押圧されるプローブ針の先端部の幅よりも識別文字45a、45bを構成する線の幅を十分小さくすることができる。したがって、パッド44にプローブ針などを押圧する際に、この識別文字45a、45bが存在することに起因してプローブ針とパッド44との電氣的接続が確保されないなどの問題の発生を防止できる。

【0111】

なお、識別文字45a、45bを図22、23においてはエッジセンサとしてのパッド44上に形成しているが、電極パッド43上に識別文字45a、45bを形成してもよい。

#### 【0112】

##### (実施の形態7)

図24は、本発明による半導体装置の実施の形態7における検査用マーク領域29a~35a、30c、29b、31c、32bに形成された孤立ホールパターンを示す平面模式図である。図25は図24の線分XXV-XXVにおける断面模式図であり、図26は図24の線分XXVI-XXVIにおける断面模式図である。また、図27は図24の線分XXVII-XXVIIにおける断面模式図であり、図28は図24の線分XXVIII-XXVIIIにおける断面模式図である。なお、孤立ホールパターンは検査用マーク領域29a~35a、30c、29b、31c、32bの少なくともいずれか1つにおいて形成されていればよい。

#### 【0113】

図24~28を参照して、半導体装置においては、半導体基板19の主表面においてトレンチ分離絶縁膜1に囲まれた活性領域2が形成されている。活性領域2上には第1の層間絶縁膜8が形成されている。この第1の層間絶縁膜8においては、活性領域2上に位置する領域に孤立ホールパターン50（ケルビンパターン）と、この孤立ホールパターン50に隣接する位置に孤立ホールパターン50の位置を示す位置表示マークとしての開口部47が形成されている。この開口部47の平面形状は、孤立ホールパターン50の方向を示す矢印形状となっている。孤立ホールパターン50と開口部47との間の距離は1 $\mu$ m以上10 $\mu$ m以下であることが好ましい。孤立ホールパターン50と開口部47との内部には導電体膜49が充填されている。第1の層間絶縁膜8上では、孤立ホールパターン50上に所定の形状の第2の配線5が形成されている。また、開口部47上に位置する領域には、導電体膜48が形成されている。

#### 【0114】

第2の配線5および導電体膜48上には第2の層間絶縁膜9が形成されている

。図 2 4 および 2 5 を参照して、第 2 の配線 5 の所定領域上に位置する領域においては、第 2 の層間絶縁膜 9 を部分的に除去することによりコンタクトホール 6 が形成されている。コンタクトホール 6 の内部には導電体 4 6 が充填されている。このコンタクトホール 6 上に位置する領域には、第 3 の配線 7 a が形成されている。また、同様に、図 2 7 を参照して、第 2 の配線 5 の他の領域上においては、第 2 の層間絶縁膜 9 を部分的に除去することにより、コンタクトホール 6 が形成されている。コンタクトホール 6 の内部には導電体 4 6 が充填されている。コンタクトホール 6 上に位置する領域においては、第 3 の配線 7 b が形成されている。

#### 【0 1 1 5】

また、図 2 7、2 8 を参照して、活性領域 2 上に位置する領域においては、第 1 および第 2 の層間絶縁膜 8、9 を部分的に除去することにより、コンタクトホール 6 3 が形成されている。コンタクトホール 6 3 の内部には導電体膜 4 6 が充填されている。コンタクトホール 6 3 上には第 3 の配線 7 c、7 d が形成されている。

#### 【0 1 1 6】

このように、位置表示マークとして作用する開口部 4 7 が孤立ホールパターン 5 0 の近傍に形成されているので、作業者が孤立ホールパターン 5 0 を容易に発見できる。特に、インラインで走査型電子顕微鏡を用いて孤立ホールパターン 5 0 の測長などを行なう場合、レジスト膜が帯電する（チャージアップ）ことにより孤立ホールパターン 5 0 の発見が非常に難しくなる場合があった。このような場合に特に本発明による位置表示マークを形成することは有効である。

#### 【0 1 1 7】

また、コンタクトホールとしての孤立ホールパターン 5 0 を形成する工程において位置表示マークとしての開口部 4 7 を同時に形成することができる。したがって、開口部 4 7 を形成するために半導体装置の製造工程数が増加することを防止できる。

#### 【0 1 1 8】

また、上述のように、開口部 4 7 の平面形状が、孤立ホールパターン 5 0 の方

向を示す矢印状であるので、作業者が開口部 4 7 の平面形状を識別することによって、容易に孤立ホールパターン 5 0 の位置を確認できる。

【0 1 1 9】

(実施の形態 8)

図 2 9 は、本発明による半導体装置の実施の形態 8 における検査用素子領域としての検査用マーク領域 2 9 a ~ 3 5 a, 3 0 c, 2 9 b, 3 1 c, 3 2 b (図 6 参照) に形成された補正用パターンを示す平面模式図である。また図 3 0 は図 2 9 の線分 XXX-XXX における断面模式図である。図 3 1 は図 2 9 の線分 XXXI-XXXI における断面模式図であり、図 3 2 は図 2 9 の線分 XXXII-XXXII における断面模式図である。なお、図 2 9 に示した補正用パターンは検査用マーク領域 2 9 a ~ 3 5 a, 3 0 c, 2 9 b, 3 1 c, 3 2 b の少なくともいずれか 1 つにおいて形成されていればよい。

【0 1 2 0】

図 2 9 ~ 3 2 を参照して、検査用マーク領域 2 9 a ~ 3 5 a, 3 0 c, 2 9 b, 3 1 c, 3 2 b においては、検査用素子 6 4 とピッチ補正用マークとしての補正用パターン 5 1 とが形成されている。検査用素子 6 4 と補正用パターン 5 1 との間の距離は 5 0  $\mu$ m 以下であることが好ましい。検査用素子 6 4 は、半導体基板 1 9 の主表面において、トレンチ分離絶縁膜 1 に囲まれた活性領域 2 とゲート電極として作用する第 2 の配線 5 a とを含む。活性領域 2 はソースおよびドレイン領域として作用する。第 2 の配線 5 a 上には第 1 の層間絶縁膜 8 が形成されている。第 1 の層間絶縁膜 8 では、活性領域 2 と第 2 の配線 5 a との上に位置する領域において第 1 の層間絶縁膜 8 を部分的に除去することにより、コンタクトホール 6 (図 3 1 参照) が形成されている。コンタクトホール 6 の内部には導電体膜 4 6 が充填されている。コンタクトホール 6 上に位置する領域には第 2 の配線 7 a ~ 7 c がそれぞれ形成されている。

【0 1 2 1】

また、補正用パターン 5 1 として、半導体基板 1 9 の主表面上において、第 2 の配線 5 b が所定の間隔を隔てて並列に並んだ複数の線状パターン (ラインアンドスペースパターン) が形成されている。補正用パターン 5 1 では、第 2 の配線

5 b の線幅を写真製版加工工程のデザインルールに従って形成する。このようにすれば、補正用パターン 5 1 における線幅を精度よく形成することができる。このため、ゲート電極として作用する 5 a (図 3 1 参照) の幅 (ゲート長) を測定する際、この補正用パターン 5 1 を用いて、データの校正作業を迅速かつ容易に行なうことができる。この結果、ゲート長の測定精度を向上させることができる。

#### 【 0 1 2 2 】

##### (実施の形態 9)

図 3 3 は、本発明による半導体装置の実施の形態 9 における検査用マーク領域に形成された検査用素子と条件表示マークとしてのプロセス条件表示部 5 2 を示す平面模式図である。また、図 3 4 は図 3 3 の線分 XXX I V - XXX I V における断面模式図であり、図 3 5 は図 3 3 の線分 XXX V - XXX V における断面模式図である。また、図 3 6 は図 3 3 の線分 XXX V I - XXX V I における断面模式図である。図 3 3 ~ 3 6 を参照して、半導体装置を説明する。なお、図 3 3 に示したプロセス条件表示部 5 2 は検査用マーク領域 2 9 a ~ 3 5 a, 3 0 c, 2 9 b, 3 1 c, 3 2 b の少なくともいずれか 1 つにおいて形成されていればよい。

#### 【 0 1 2 3 】

図 3 3 ~ 3 6 を参照して、半導体装置における検査用マーク領域に形成された検査用素子 6 4 は、基本的に図 2 9 ~ 3 2 に示した検査用素子と同様の構造を備える。そして、この検査用素子 6 4 の近傍には、第 2 の配線 5 a と同一レイヤにより構成される第 2 の配線 5 b を用いて形成されたプロセス条件表示部 5 2 が配置されている。検査用素子 6 4 とプロセス条件表示部 5 2 との間の距離は  $50 \mu\text{m}$  以下であることが好ましい。

#### 【 0 1 2 4 】

このプロセス条件表示部 5 2 においては、デザイン寸法、マスク上寸法、レジスト狙い寸法および仕上り狙い寸法という 4 つのデータが示されている。すなわち、図 3 3 を参照して、D 0. 2 9 とは、デザイン寸法が  $0.29 \mu\text{m}$  であることを示している。また、M 0. 2 6 とはマスク上寸法が  $0.26 \mu\text{m}$  であること

を示している。R 0 . 2 8 とはレジスト狙い寸法が 0 . 2 8  $\mu$  mであることを示している。また、E 0 . 3 0 とは、仕上り狙い寸法が 0 . 3 0  $\mu$  mであることを示している。

【0 1 2 5】

このようにプロセス条件をプロセス条件表示部 5 2 として検査用マーク領域に形成しておけば、作業者がプロセス条件を容易に知ることができる。したがって、露光工程に伴う不良を迅速に発見することが可能となる。たとえば、デザイン寸法とマスク上寸法とを表示していることにより、サイジングの正誤の検出を容易に行なうことができる。また、マスク上寸法とレジスト狙い寸法とを同時に表示しておくことにより、写真製版加工工程における異常の検出を容易に行なうことができる。また、レジスト狙い寸法と仕上り狙い寸法とを表示しておくことで、エッチングプロセスでの異常を迅速かつ容易に検出できる。

【0 1 2 6】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 2 7】

【発明の効果】

このように、本発明によれば、検査用マーク領域における重ね合せ検査マークやその他のモニタパターンに補助マークを付加することにより、モニタパターンの測長や電気的特性の測定などの検査を正確かつ容易に行なうことができる。

【図面の簡単な説明】

【図 1】 本発明による半導体装置の実施の形態 1 における検査用マーク領域に形成された重ね合せ検査マークの平面模式図である。

【図 2】 図 1 の線分 I I - I I における断面模式図である。

【図 3】 図 1 の線分 I I I - I I I における断面模式図である。

【図 4】 図 1 の線分 I V - I V における断面模式図である。

【図 5】 本発明による半導体装置を製造するために用いられる、本発明に

よるフォトマスクを示す平面模式図である。

【図 6】 図 5 に示したフォトマスクを用いて回路パターンが転写された半導体基板の表面を示す模式図である。

【図 7】 図 6 における検査用マーク領域 2 9 a ～ 3 3 a に形成される重ね合せ検査マークを示す模式図である。

【図 8】 図 6 における検査用マーク領域 2 9 a、3 0 c が形成された領域の部分拡大模式図である。

【図 9】 本発明による半導体装置の実施の形態 1 の変形例において形成される重ね合せ検査マークを示す模式図である。

【図 1 0】 本発明による半導体装置の実施の形態 2 における重ね合せ検査マークを示す平面模式図である。

【図 1 1】 図 1 0 の線分 X I - X I における断面模式図である。

【図 1 2】 図 1 0 の線分 X I I - X I I における断面模式図である。

【図 1 3】 図 1 0 の線分 X I I I - X I I I における断面模式図である。

【図 1 4】 本発明による半導体装置の実施の形態 3 における重ね合せ検査マークを示す平面模式図である。

【図 1 5】 図 1 4 の線分 X V - X V における断面模式図である。

【図 1 6】 図 1 4 の線分 X V I - X V I における断面模式図である。

【図 1 7】 本発明による半導体装置の実施の形態 4 における重ね合せ検査マークを示す平面模式図である。

【図 1 8】 図 1 7 の線分 X V I I I - X V I I I における断面模式図である。

【図 1 9】 図 1 7 の線分 X I X - X I X における断面模式図である。

【図 2 0】 本発明による半導体装置の実施の形態 5 における検査用マーク領域に形成されたパッド群を示す平面模式図である。

【図 2 1】 本発明による半導体装置の実施の形態 5 における検査用マーク領域に形成されたパッド群を示す平面模式図である。

【図 2 2】 本発明による半導体装置の実施の形態 6 における検査用マーク領域に形成されたパッド群を示す平面模式図である。



【図 2 3】 本発明による半導体装置の実施の形態 6 における検査用マーク領域に形成されたパッド群を示す平面模式図である。

【図 2 4】 本発明による半導体装置の実施の形態 7 における検査用マーク領域に形成された孤立ホールパターンを示す平面模式図である。

【図 2 5】 図 2 4 の線分 X X V - X X V における断面模式図である。

【図 2 6】 図 2 4 の線分 X X V I - X X V I における断面模式図である。

【図 2 7】 図 2 4 の線分 X X V I I - X X V I I における断面模式図である。

【図 2 8】 図 2 4 の線分 X X V I I I - X X V I I I における断面模式図である。

【図 2 9】 本発明による半導体装置の実施の形態 8 における検査用マーク領域に形成された補正用パターンを示す平面模式図である。

【図 3 0】 図 2 9 の線分 X X X - X X X における断面模式図である。

【図 3 1】 図 2 9 の線分 X X X I - X X X I における断面模式図である。

【図 3 2】 図 2 9 の線分 X X X I I - X X X I I における断面模式図である。

【図 3 3】 本発明による半導体装置の実施の形態 9 における検査用マーク領域に形成された検査用素子と条件表示マークとしてのプロセス条件表示部 5 2 を示す平面模式図である。

【図 3 4】 図 3 3 の線分 X X X I V - X X X I V における断面模式図である。

【図 3 5】 図 3 3 の線分 X X X V - X X X V における断面模式図である。

【図 3 6】 図 3 3 の線分 X X X V I - X X X V I における断面模式図である。

【図 3 7】 従来のフォトマスクを示す平面模式図である。

【図 3 8】 図 3 7 に示したフォトマスクを用いて半導体基板の主表面上に転写パターンが転写されて得られる構造を示す模式図である。

【図 3 9】 従来の重ね合せ検査マークを示す平面模式図である。

【図 4 0】 図 3 9 の線分 X L - X L における断面模式図である。

【図 4 1】 図 3 9 の線分 X L I - X L I における断面模式図である。

【図 4 2】 従来の重ね合せ検査マークの他の例を示す平面模式図である。

【図 4 3】 図 4 2 の線分 X L I I I - X L I I I における断面模式図である。

【図 4 4】 図 4 2 の線分 X L I V - X L I V における断面模式図である。

【図 4 5】 図 3 8 の検査用マーク領域 1 3 4 a、1 3 5 b において形成されたパッド群の平面模式図である。

【図 4 6】 図 3 8 の検査用マーク領域 1 3 4 a、1 3 5 b において形成されたパッド群の平面模式図である。

【図 4 7】 従来の半導体装置の検査用マーク領域に形成された孤立ホールパターンを示す平面模式図である。

【図 4 8】 図 4 7 の線分 X L V I I I - X L V I I I における断面模式図である。

【図 4 9】 従来の半導体装置の検査用マーク領域に形成された検査用素子を示す平面模式図である。

【図 5 0】 図 4 9 の線分 L - L における断面模式図である。

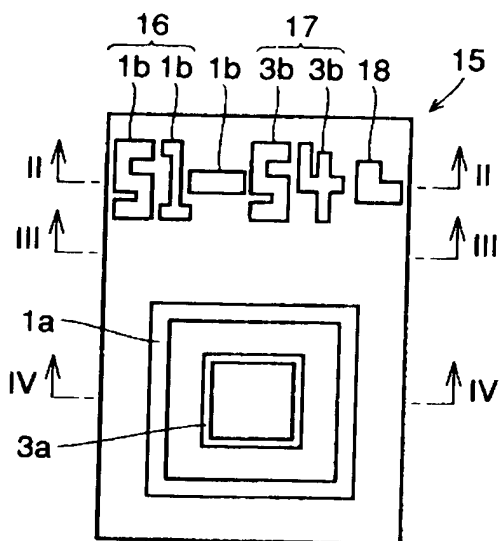
【符号の説明】

1, 1 b トレンチ分離絶縁膜、1 a, 3 a, 4 a, 5 a 検査パターン、2 活性領域、3, 3 b 第 1 の配線、4 b, 6 コンタクトホール、5, 5 b 第 2 の配線、7, 7 a ~ 7 d 第 3 の配線、8, 9 層間絶縁膜、10 遮光部材、11 チップ領域のマスクパターン、12 ショット境界、13 ダイシングライン領域、14 配線、15, 38 a, 38 b 重ね合せ検査マーク、16 トレンチ分離パターン識別記号、17 第 1 の配線パターン識別記号、18 a ~ 18 e, 37 a, 37 b, 39 a ~ 39 e, 41, 42 ショット内位置表示マーク、19 基板、20 フォトマスク、21 ~ 27 検査用マークのマスクパターン領域、28 a ~ 28 c 基板上的チップ領域、29 a ~ 35 a, 30 c, 29 b, 31 c, 32 b 検査用マーク領域、36 第 2 の配線パターン識別記号、40 第 1 のコンタクトホール識別記号、43 電極パッド、44 パッド、45 a, 45 b 識別文字、46, 48, 49 導電体膜、47 位置表示

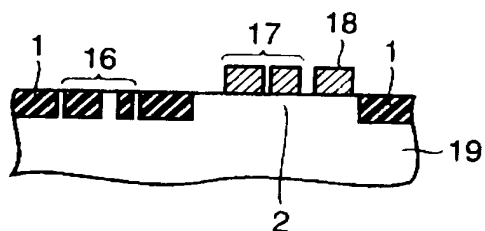
マークとしての開口部、50 孤立ホールパターン、51 補正用パターン、52 プロセス条件表示部、53 第1の外周部ダイシング領域、54 第2の外周部ダイシング領域、55, 59, 60 凸部、56~58 凹部、61, 62, 65 ダイシング領域、63 コンタクトホール、64 検査用素子。

【書類名】 図面

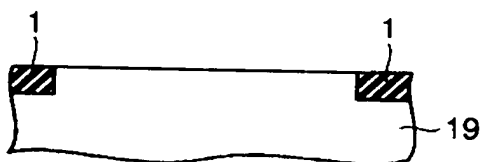
【図 1】



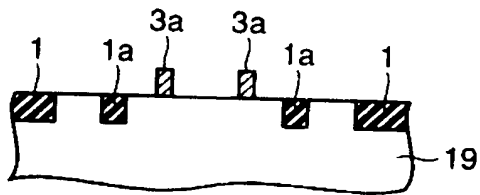
【図 2】



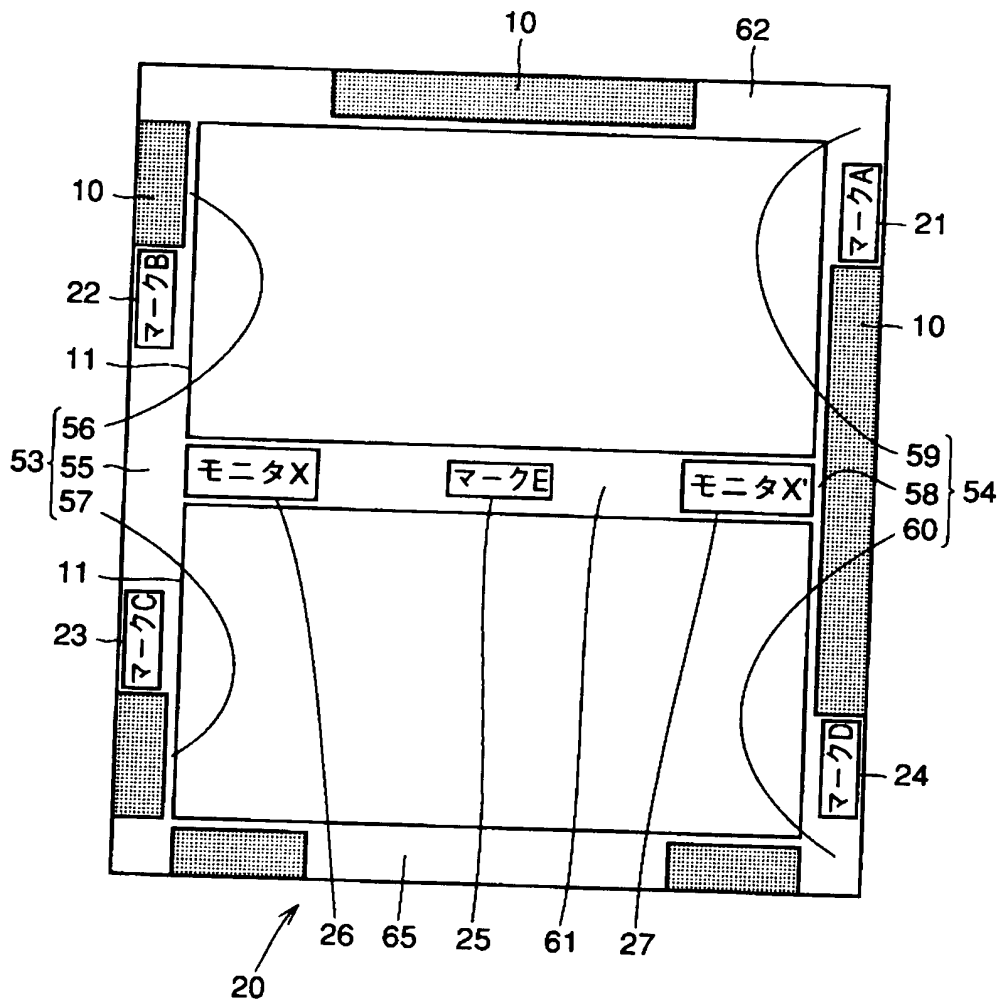
【図 3】



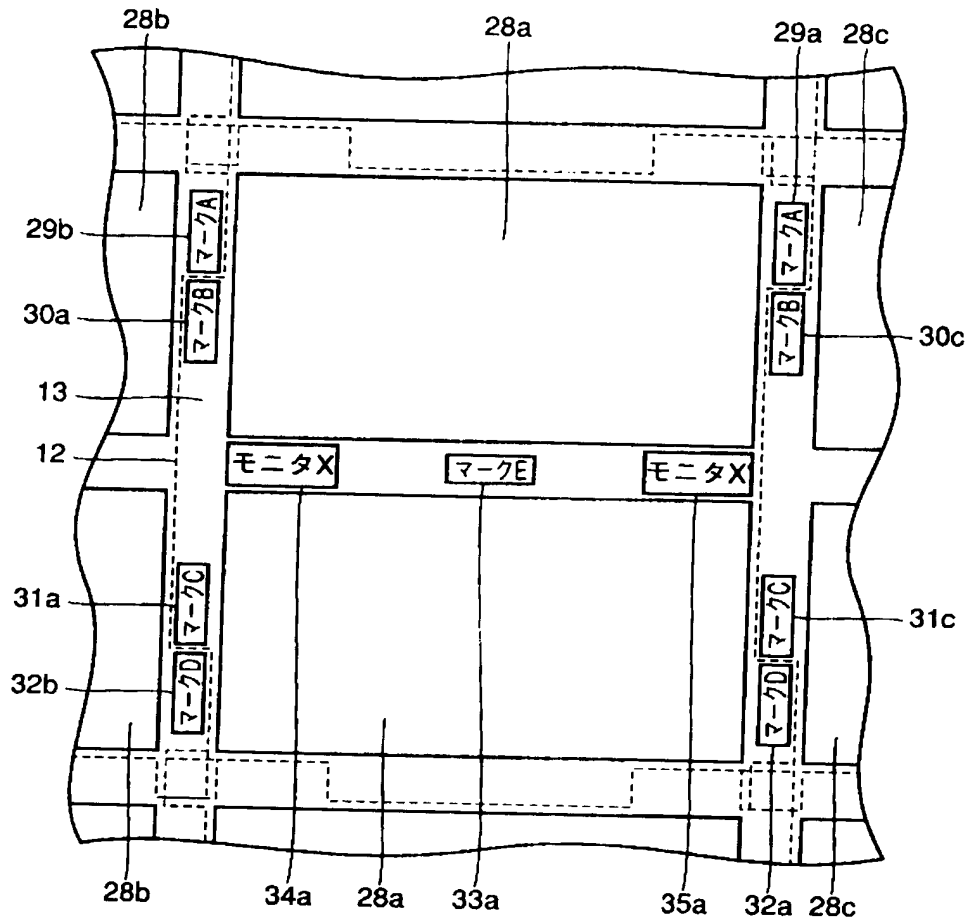
【図4】



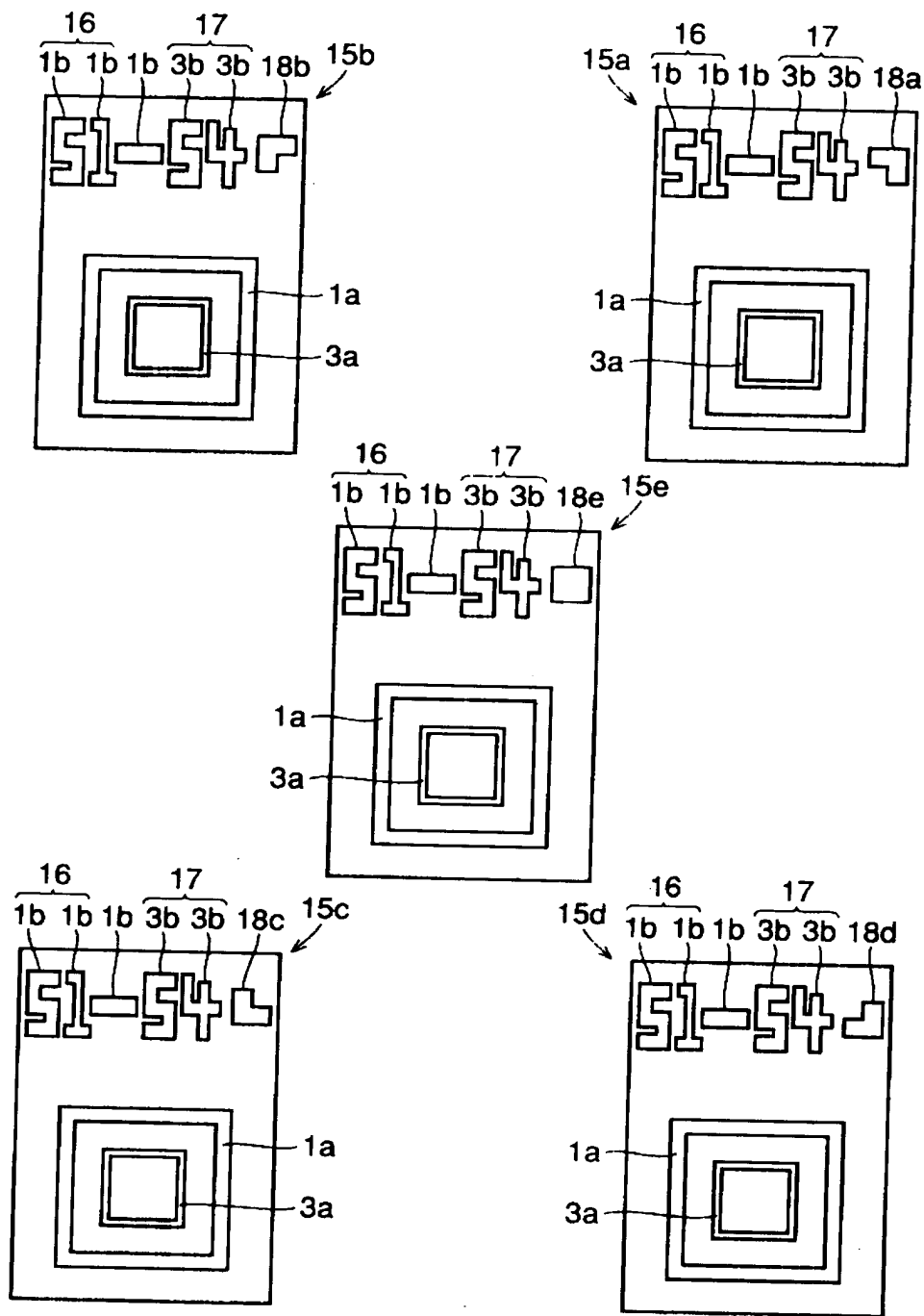
【図5】



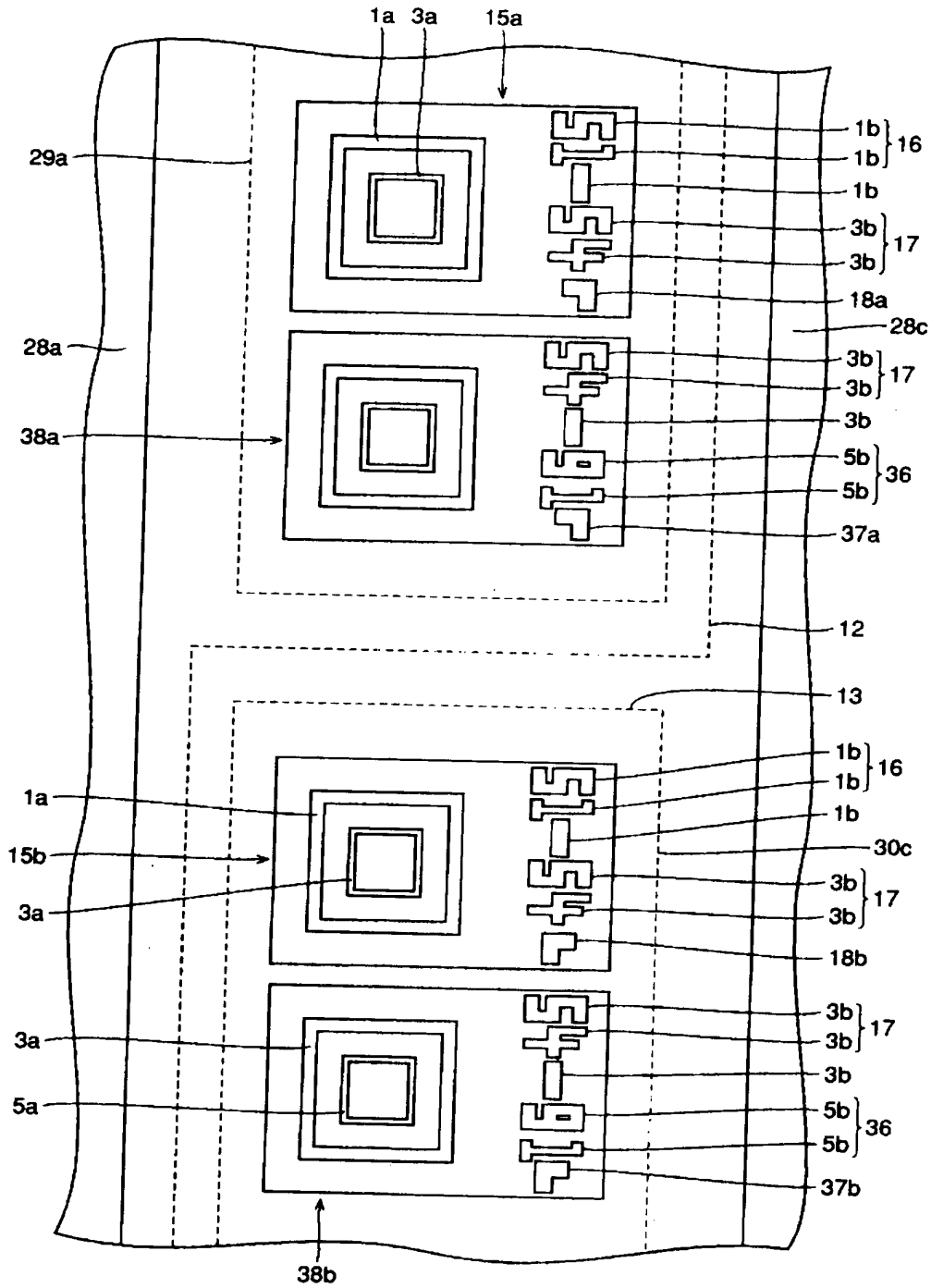
【図 6】



【図7】

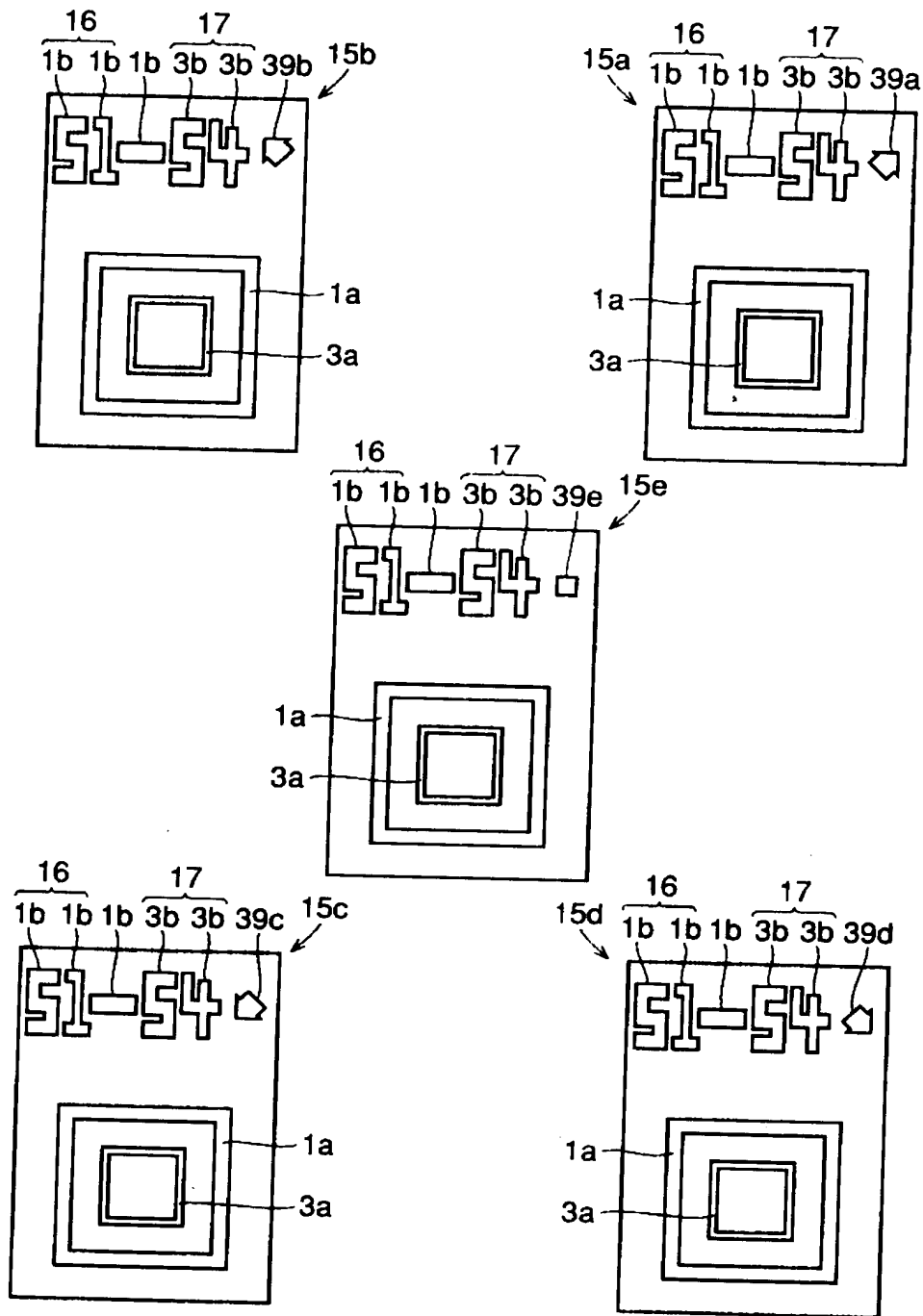


【図 8】

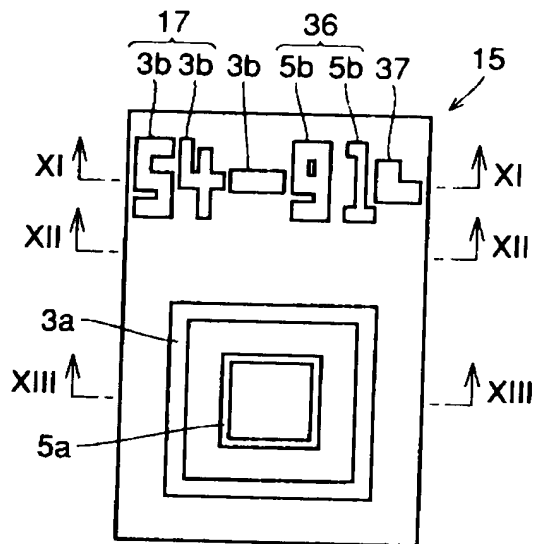




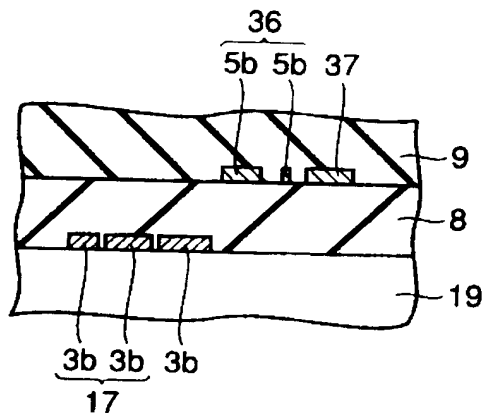
【図 9】



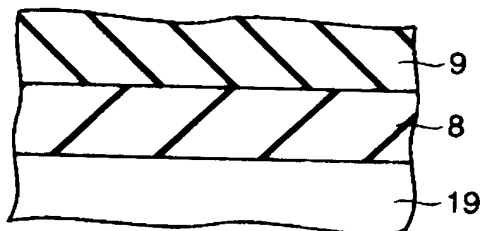
【図 10】



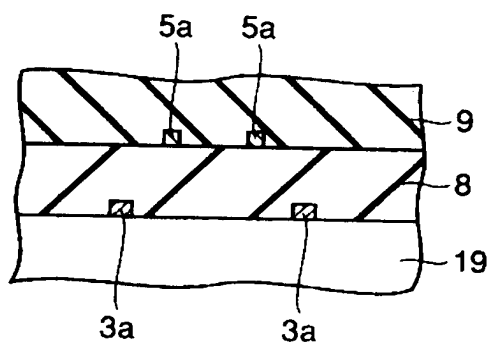
【図 11】



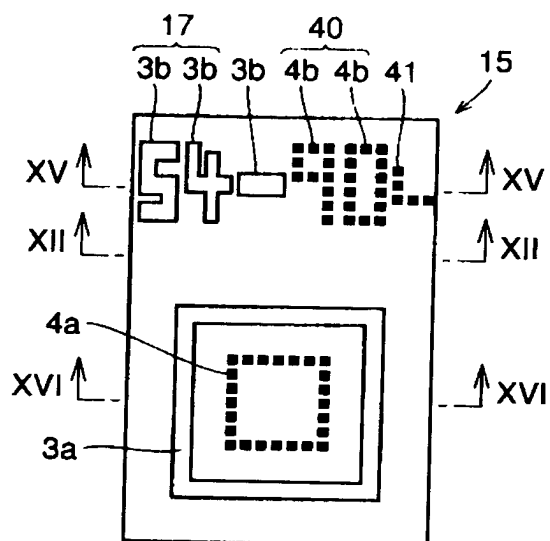
【図 12】



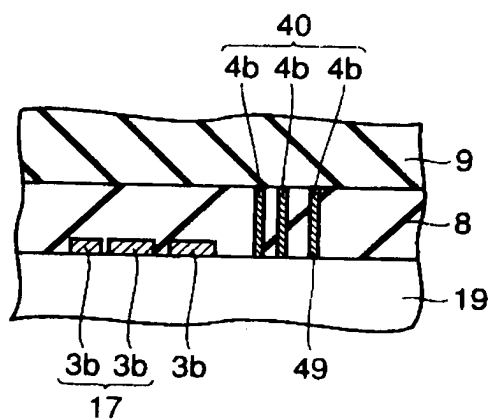
【図 13】



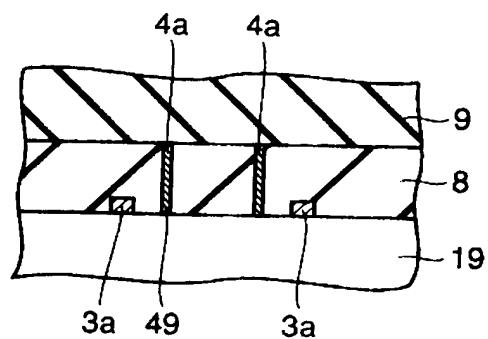
【図 14】



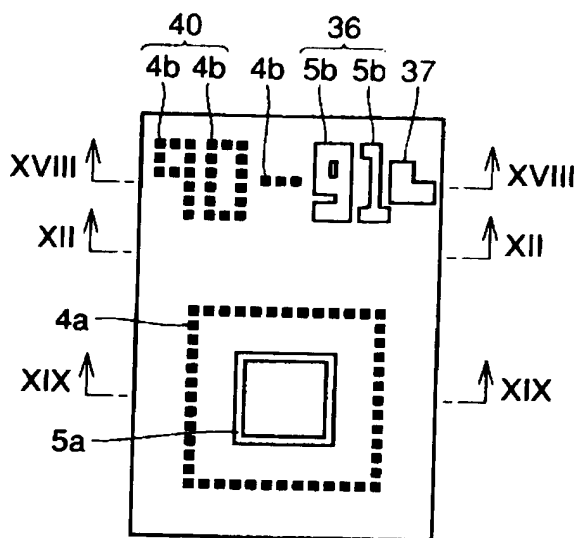
【図 15】



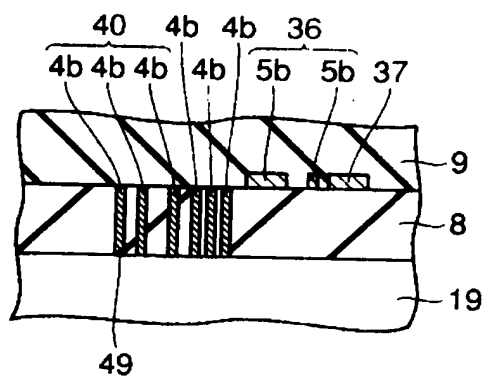
【図 16】



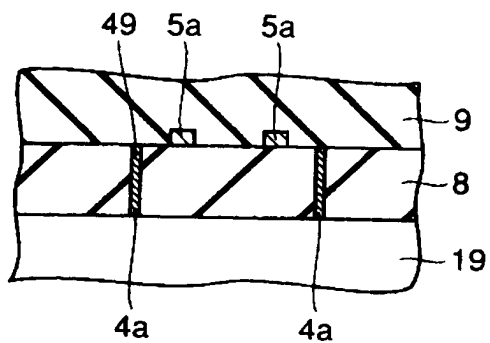
【図 17】



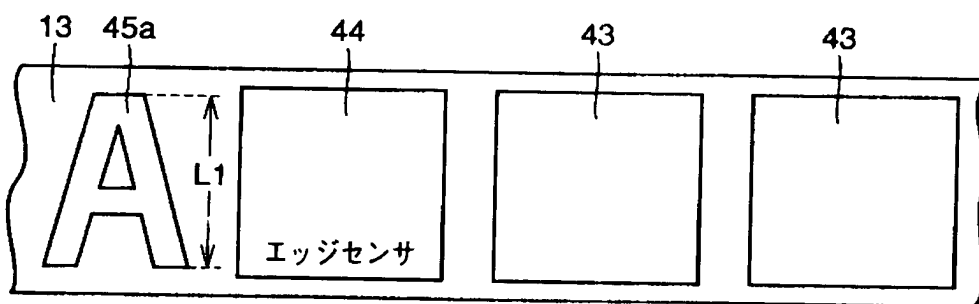
【図 18】



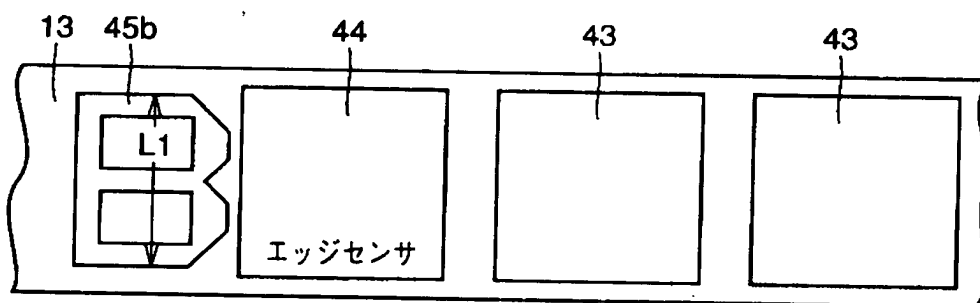
【図 19】



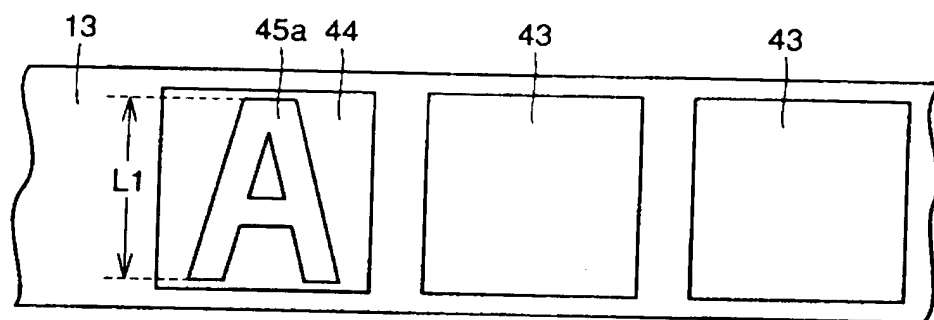
【図 20】



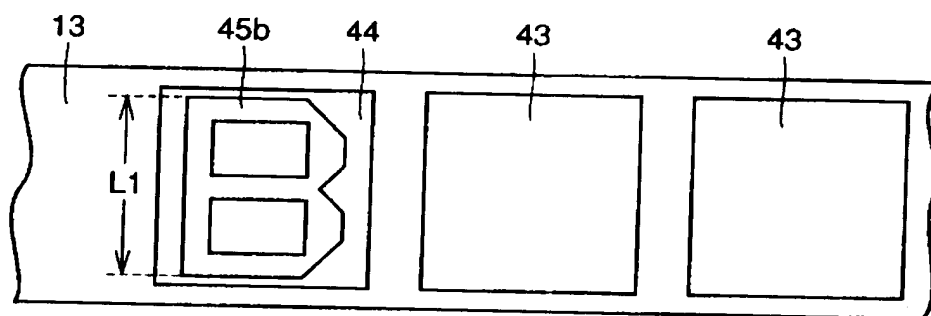
【図 21】



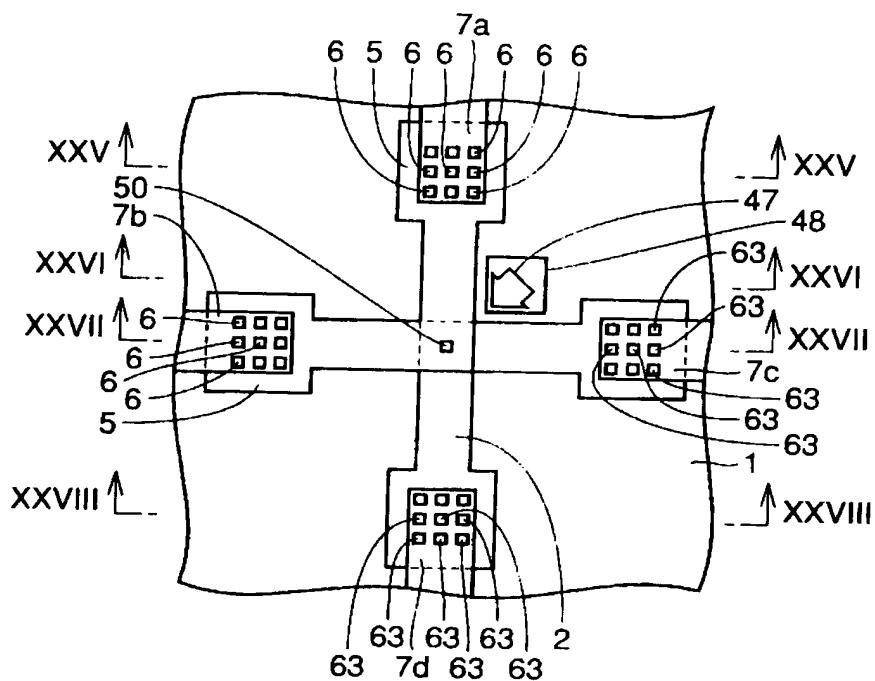
【図22】



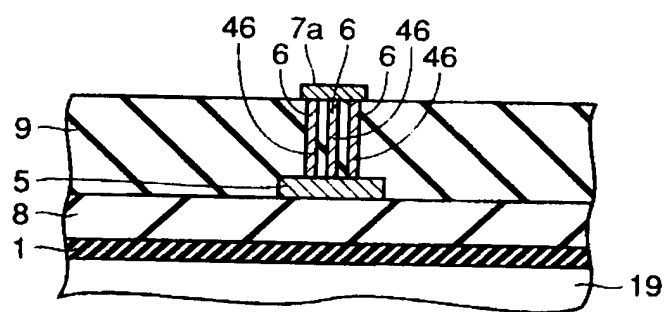
【図23】



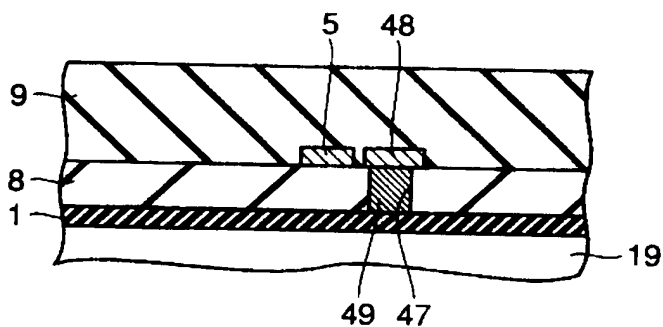
【图 24】



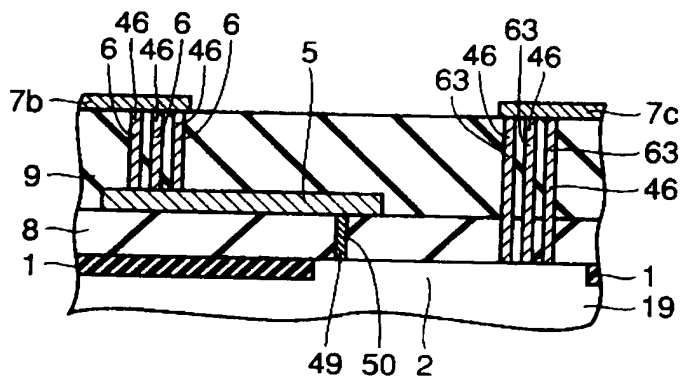
【図 25】



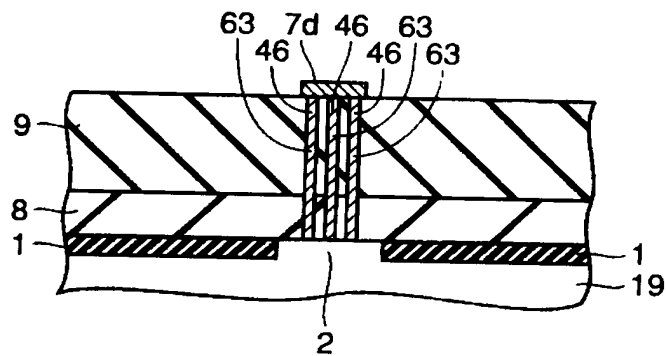
【図 26】



【図 27】

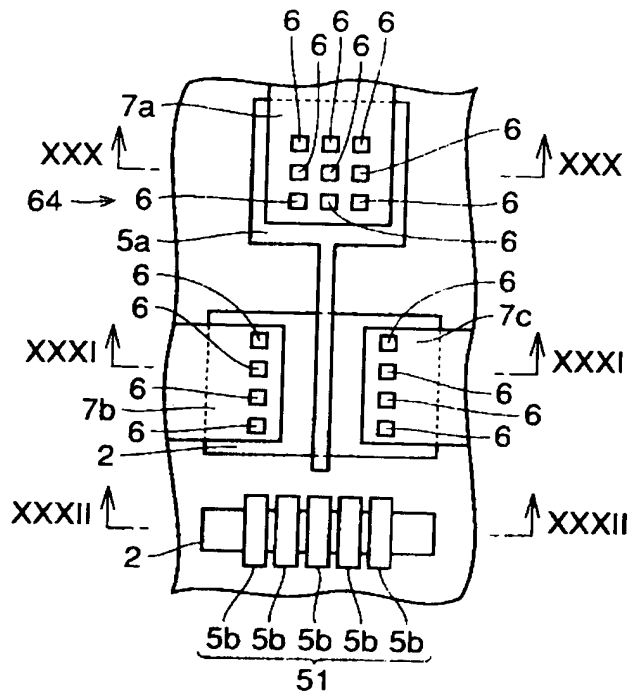


【図 28】

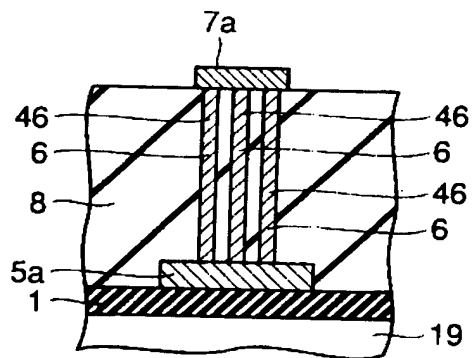




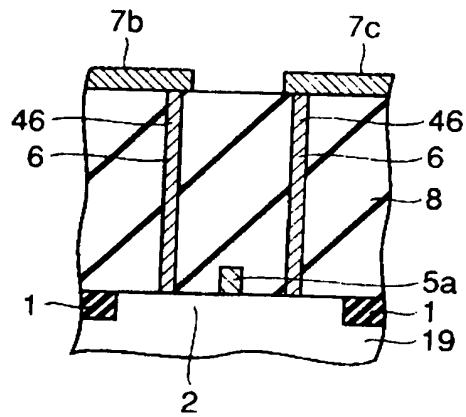
【図 29】



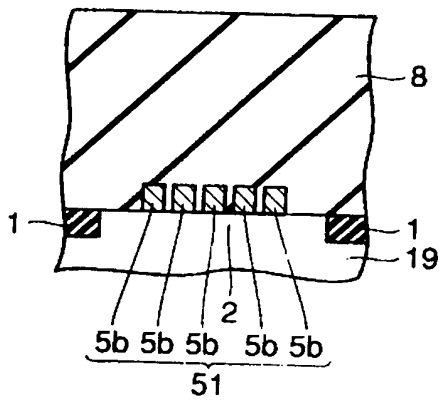
【図 30】



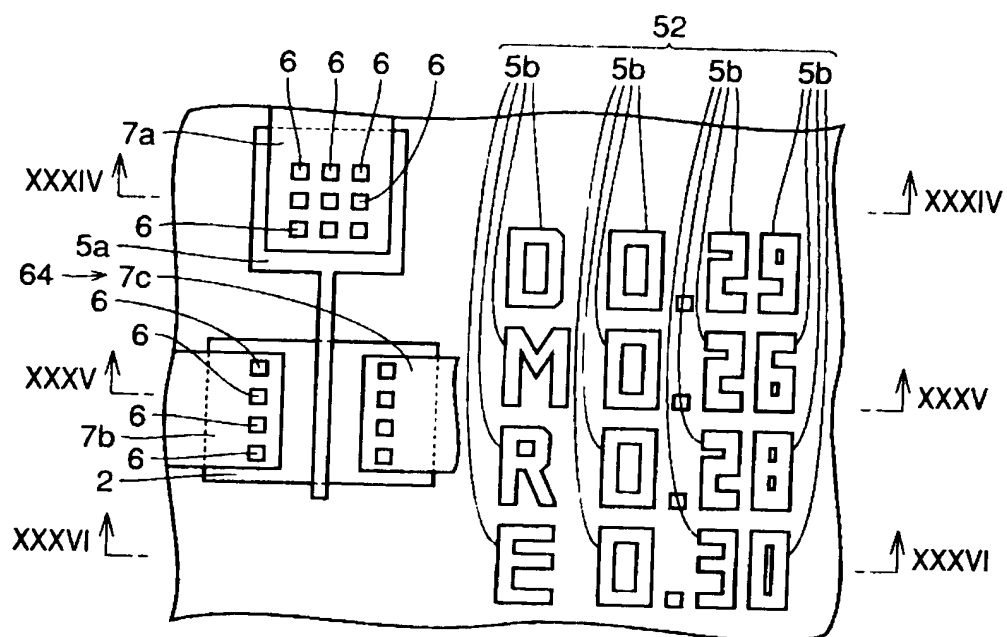
【図 3 1】



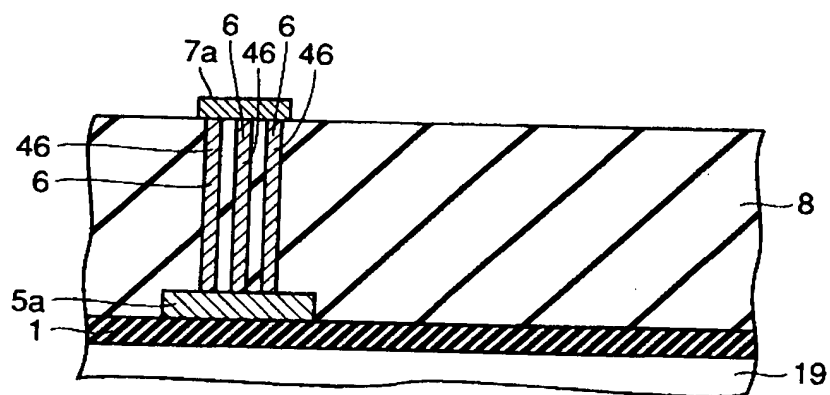
【図 3 2】



【図 3 3】

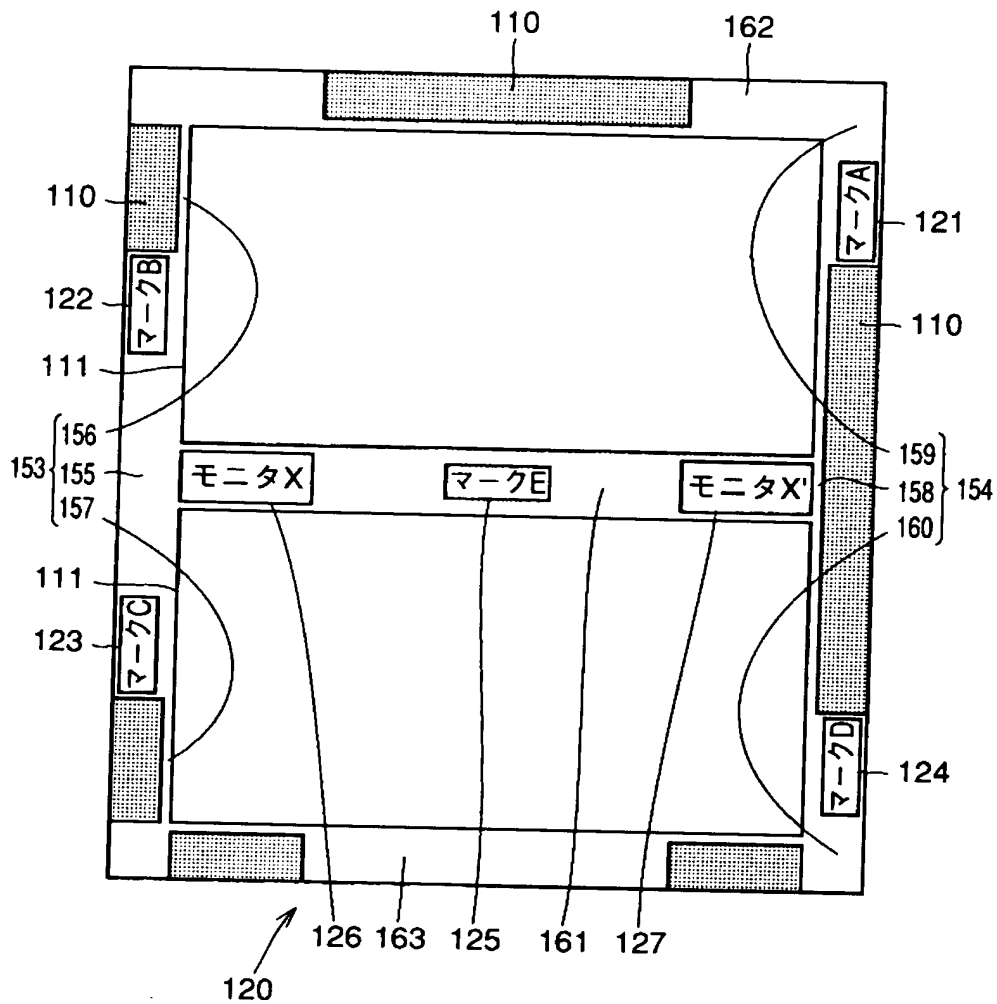


【図 3 4】

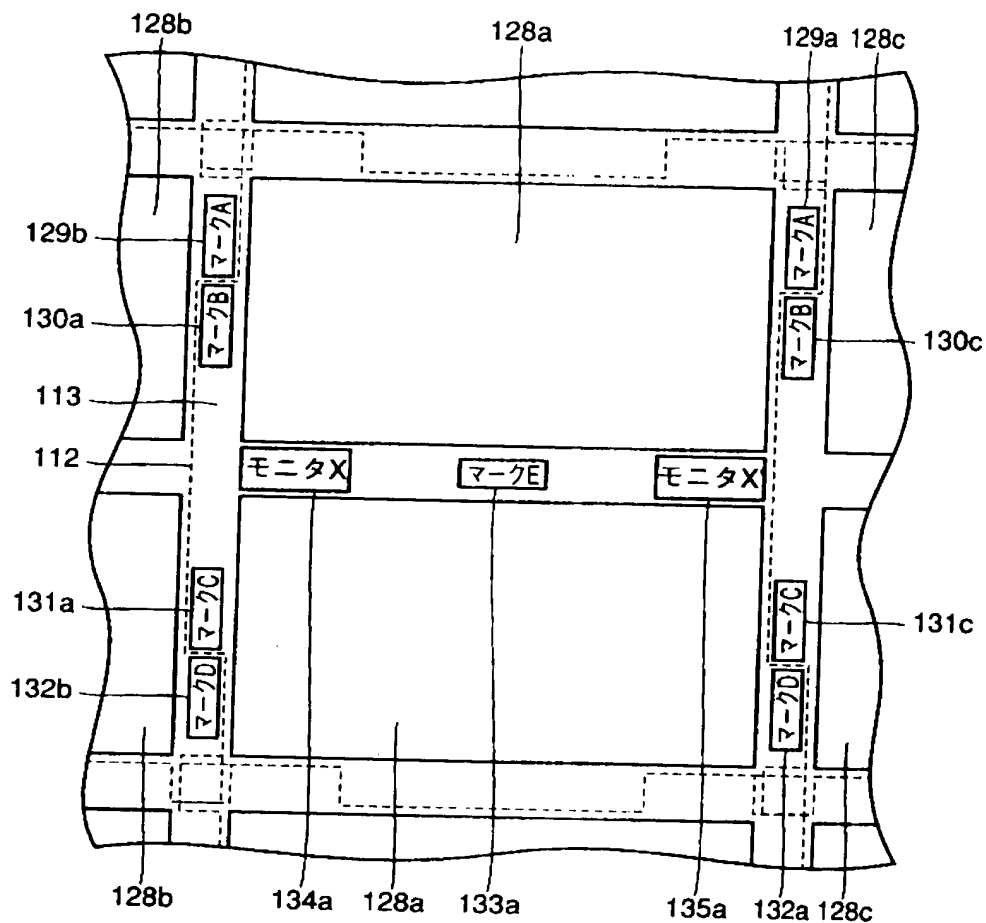




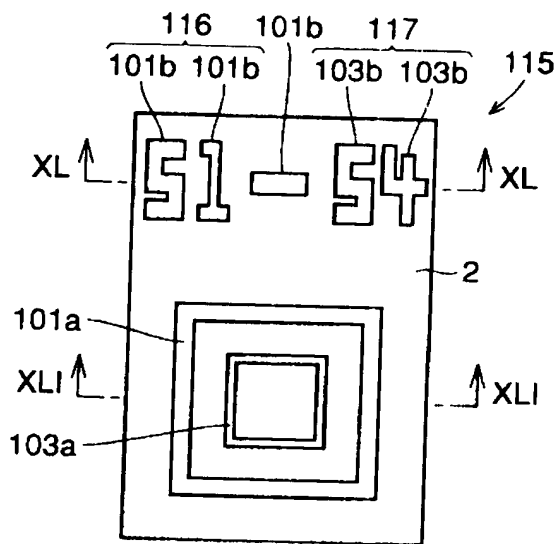
【図 37】



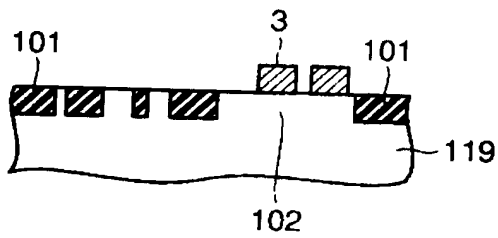
【図 38】



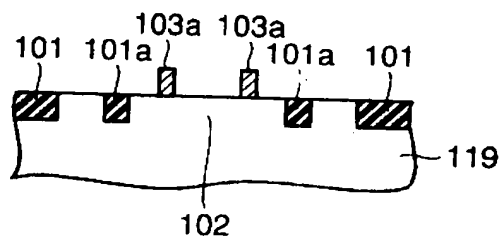
【図 39】



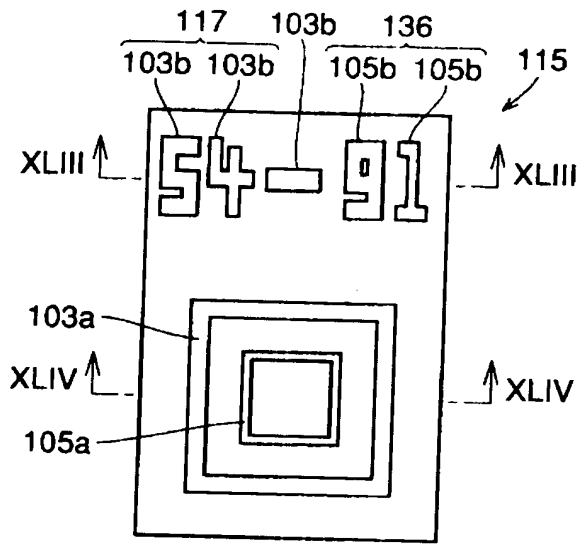
【図 40】



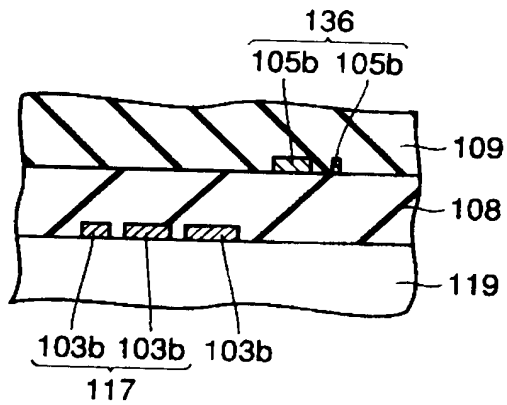
【図 41】



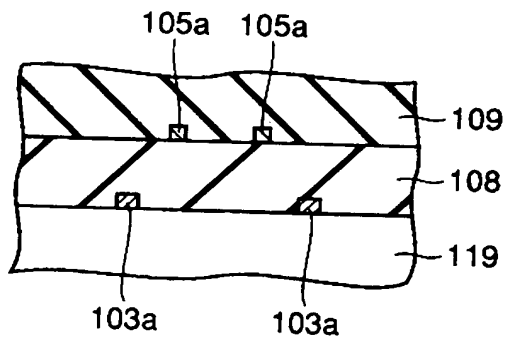
【図 4 2】



【図 4 3】

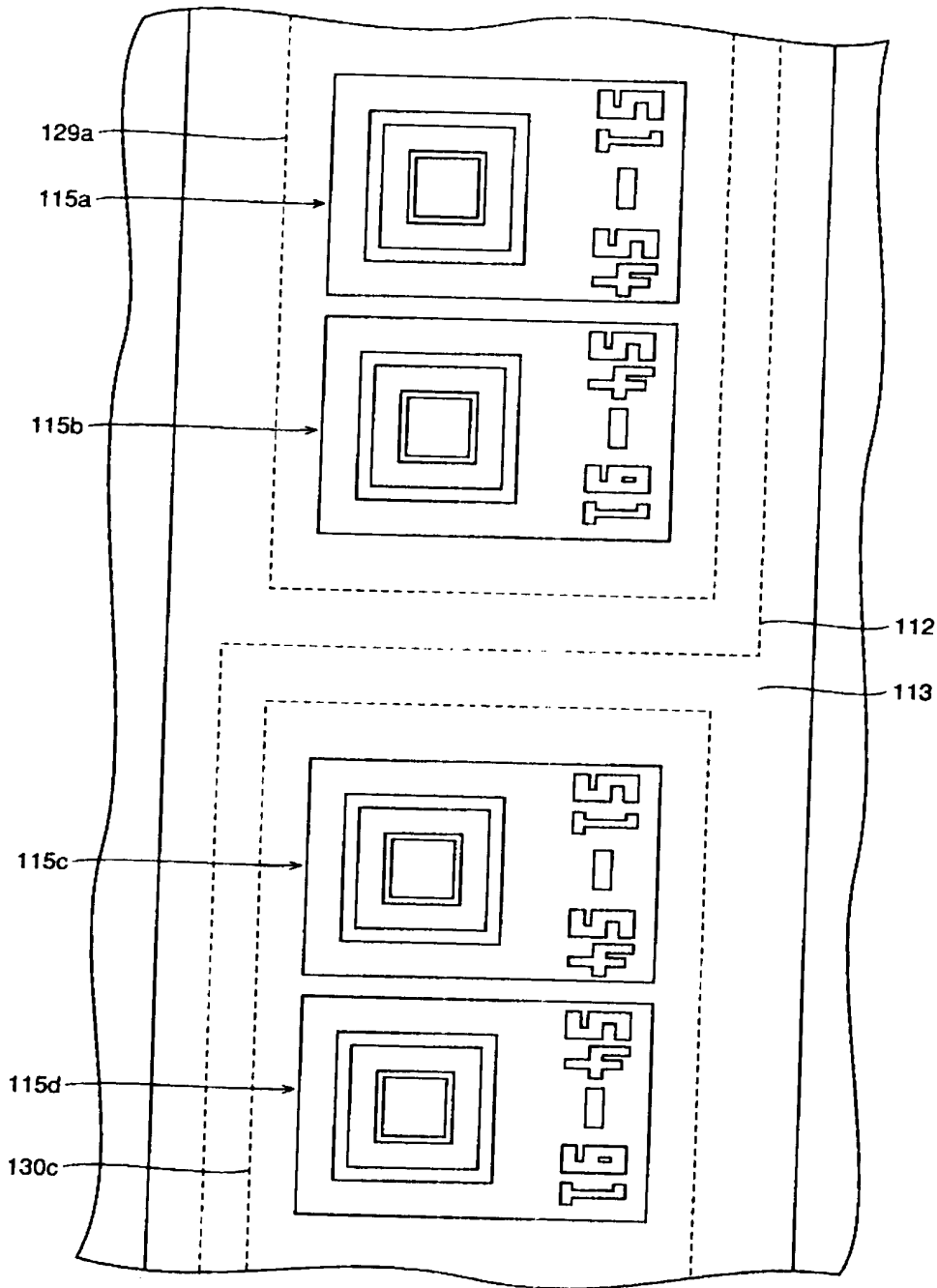


【図 4 4】

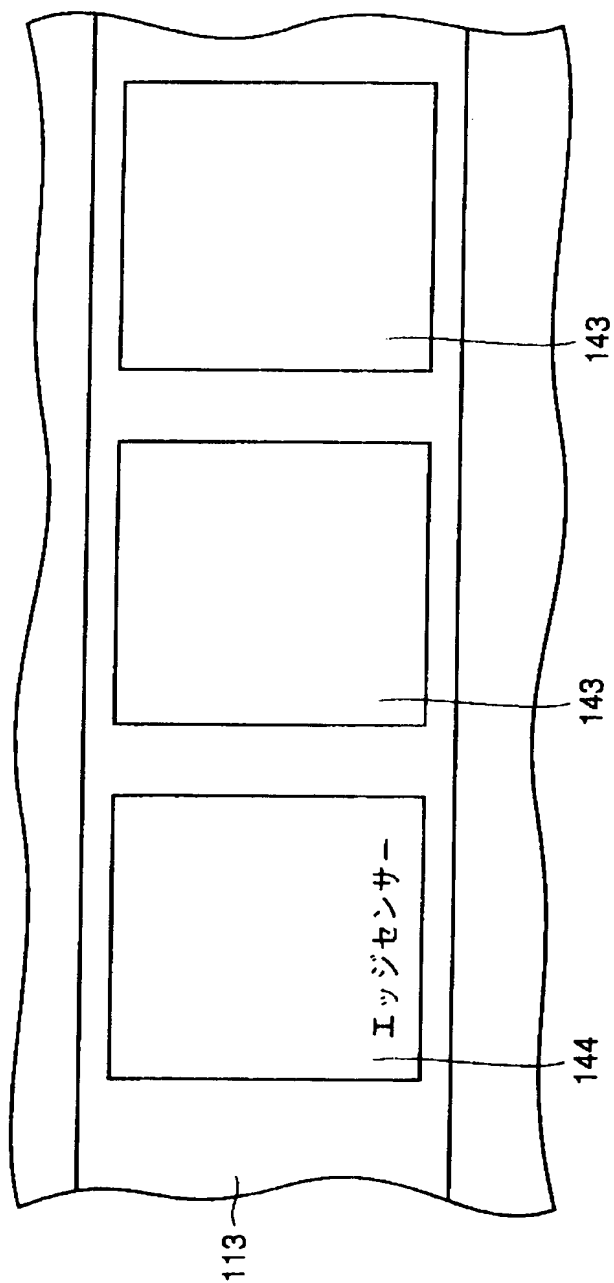




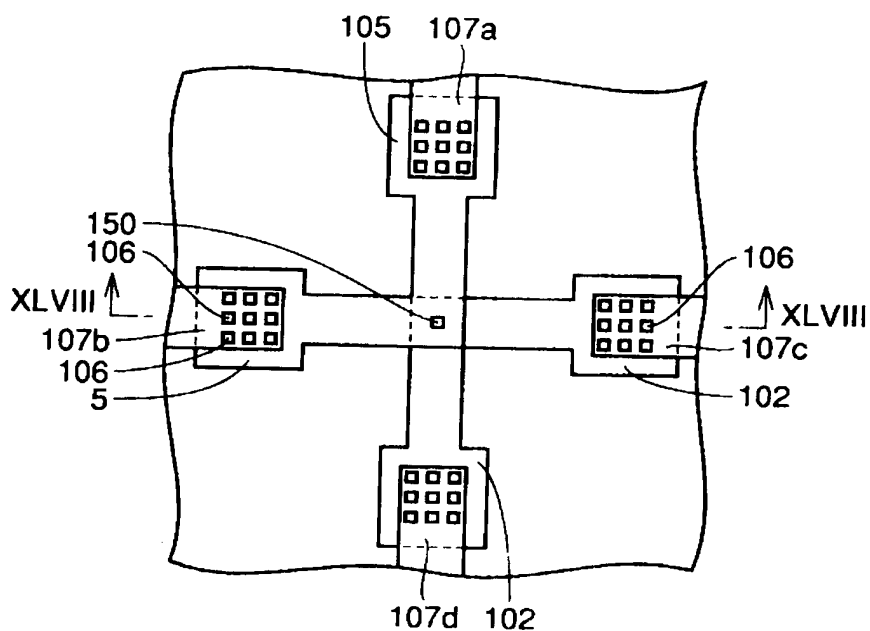
【図 4 5】



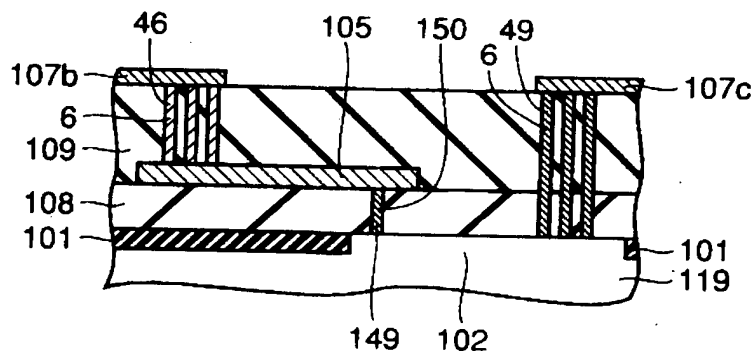
【図 46】



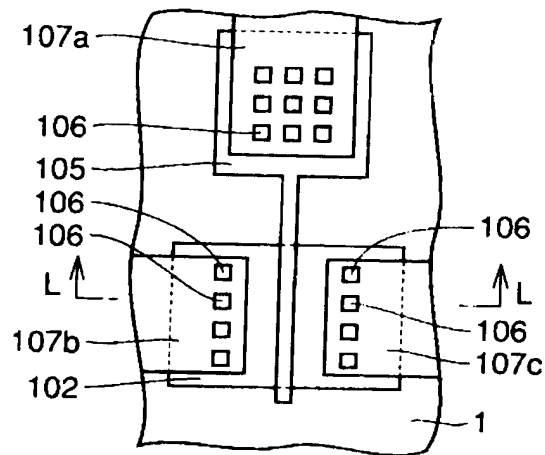
【図 4 7】



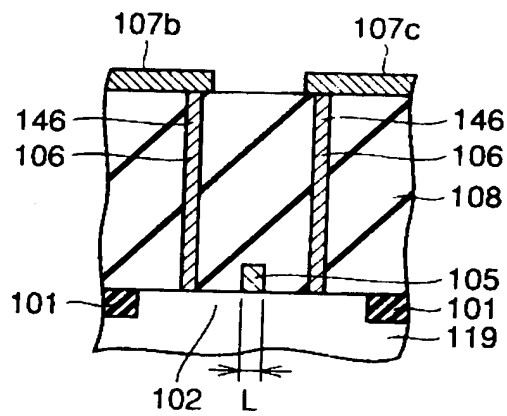
【図 4 8】



【図 49】



【図 50】



【書類名】            要約書

【要約】

【課題】    詳細かつ正確な検査用マークの測定を容易に行なうことが可能な半導体装置を提供する。

【解決手段】    半導体基板上に形成され、素子形成領域と、この素子形成領域を囲むように配置されたダイシングライン領域とを備える半導体装置であって、ダイシングライン領域では、異なるショットで形成された第 1 および第 2 の重ね合わせ検査マーク 1 5 が形成され、第 1 および第 2 の重ね合わせ検査マーク 1 5 は、第 1 および第 2 の重ね合わせ検査マークを識別するための補助マーク 1 8 を含む。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社